

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tetsuya OTSUKI

Application No.: 10/624,680

Filed: July 23, 2003

Docket No.: 116568

INTERCONNECT SUBSTRATE, SEMICONDUCTOR DEVICE, METHODS OF
MANUFACTURING THE SAME, CIRCUIT BOARD, AND ELECTRONIC EQUIPMENT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-213606 filed July 23, 2002

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/smk

Date: January 16, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月23日

出 願 番 号

Application Number:

特願2002-213606

[ST.10/C]:

[JP2002-213606]

出 願 人

Applicant(s):

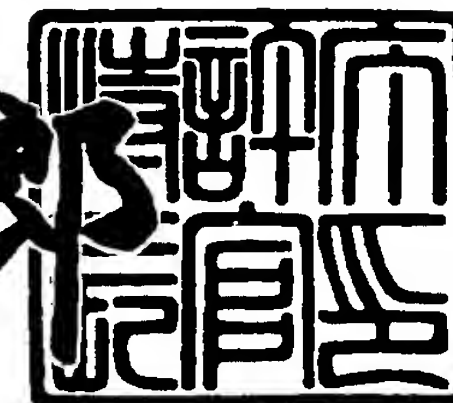
セイコーエプソン株式会社



2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043195

【書類名】 特許願

【整理番号】 EP-0388501

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大槻 哲也

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線基板及び半導体装置並びにこれらの製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、及び、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成する配線基板の製造方法。

【請求項 2】 請求項 1 記載の配線基板の製造方法において、

前記第 2 の導電層を、その一部が前記第 1 の導電層の一部と電氣的に導通するように形成する配線基板の製造方法。

【請求項 3】 請求項 1 又は請求項 2 記載の配線基板の製造方法において、

前記絶縁層を、前記第 1 の導電層上及び前記第 1 の導電層の隣の領域に形成する配線基板の製造方法。

【請求項 4】 請求項 3 記載の配線基板の製造方法において、

前記絶縁層を複数層で形成し、

前記絶縁層の下層を、前記第 1 の導電層を形成する領域の隣に形成し、

前記絶縁層の上層を、前記第 1 の導電層及び前記絶縁層の下層上に形成する配線基板の製造方法。

【請求項 5】 請求項 4 記載の配線基板の製造方法において、

前記第 1 の導電層を形成した後に、前記絶縁層の下層を形成する配線基板の製造方法。

【請求項 6】 請求項 4 記載の配線基板の製造方法において、

前記絶縁層の下層を形成した後に、前記第 1 の導電層を形成する配線基板の製造方法。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の配線基板の製造方法において、

前記第 1 の導電層上に、導電性材料の微粒子を含む溶媒の液滴を吐出して、1 つ又はそれ以上のポストを形成することをさらに含み、

前記絶縁層を、前記ポストを形成する領域を避けて形成する配線基板の製造方法。

【請求項 8】 請求項 7 記載の配線基板の製造方法において、

前記絶縁層を、その上面が少なくとも 1 つの前記ポストの上面とほぼ同じ高さになるように形成する配線基板の製造方法。

【請求項 9】 請求項 7 又は請求項 8 記載の配線基板の製造方法において、

前記第 2 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成する配線基板の製造方法。

【請求項 10】 請求項 7 から請求項 9 のいずれかに記載の配線基板の製造方法において、

前記第 2 の導電層を、少なくとも 1 つの前記ポストを避けて形成する配線基板の製造方法。

【請求項 11】 請求項 1 から請求項 10 のいずれかに記載の配線基板の製造方法において、

第 2 の絶縁層を、少なくともその一部が前記第 2 の導電層上に配置されるように形成すること、及び、

第 3 の導電層を、少なくともその一部が前記第 2 の導電層の上方であって前記第 2 の絶縁層上に配置されるように形成すること、

をさらに含み、

前記第 3 の導電層を、導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記第 2 の絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成する配線基板の製造方法。

【請求項 12】 請求項 10 を引用する請求項 11 記載の配線基板の製造方

法において、

前記第 2 の絶縁層を、少なくとも 1 つの前記ポストを形成する領域を避けて形成し、

前記第 3 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成する配線基板の製造方法。

【請求項 1 3】 請求項 1 2 記載の配線基板の製造方法において、
少なくとも 1 つの前記ポストを複数回の工程で形成する配線基板の製造方法。

【請求項 1 4】 請求項 1 から請求項 1 3 のいずれかに記載の配線基板の製造方法において、

1 つ又はそれ以上の電子部品を形成することをさらに含み、

1 つの前記電気部品を構成する複数の部品のそれぞれを、材料の微粒子を含む溶媒の液滴を吐出して形成する配線基板の製造方法。

【請求項 1 5】 請求項 1 4 記載の配線基板の製造方法において、
それぞれの前記電子部品は、コンデンサ、抵抗器、ダイオード及びトランジスタのいずれかである配線基板の製造方法。

【請求項 1 6】 請求項 1 4 又は請求項 1 5 記載の配線基板の製造方法において、

少なくとも 1 つの前記電子部品を、前記第 1 の導電層を形成する面上に形成する配線基板の製造方法。

【請求項 1 7】 請求項 1 4 から請求項 1 6 のいずれかに記載の配線基板の製造方法において、

少なくとも 1 つの前記電子部品を、前記絶縁層上に形成する配線基板の製造方法。

【請求項 1 8】 請求項 1 1, 1 2 及び 1 3 のうちの 1 つを引用する請求項 1 4 から請求項 1 7 のいずれかに記載の配線基板の製造方法において、

少なくとも 1 つの前記電子部品を、前記第 2 の絶縁層上に形成する配線基板の製造方法。

【請求項 1 9】 請求項 1 から請求項 1 8 のいずれかに記載の配線基板の製造方法において、

前記第 1 の導電層を、基板上に形成する配線基板の製造方法。

【請求項 2 0】 請求項 1 9 記載の配線基板の製造方法において、
前記基板は、凹部を有し、前記凹部を通るように前記第 1 の導電層を形成する配線基板の製造方法。

【請求項 2 1】 請求項 1 9 又は請求項 2 0 記載の配線基板の製造方法において、

前記基板の少なくとも表面は、絶縁体で形成されてなる配線基板の製造方法。

【請求項 2 2】 請求項 1 9 又は請求項 2 0 記載の配線基板の製造方法において、

前記基板は、絶縁部と、前記絶縁部を貫通する導電部と、を有してなり、
前記絶縁部及び前記導電部に、前記導電部と電氣的に導通するように、前記第 1 の導電層を形成する配線基板の製造方法。

【請求項 2 3】 請求項 1 9 記載の配線基板の製造方法において、
前記基板を前記第 1 の導電層から剥離することをさらに含む配線基板の製造方法。

【請求項 2 4】 第 1 の導電層を形成すること、
絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、及び、
第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、
を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することで配線基板を製造し、

前記配線基板に、半導体チップを実装することを含む半導体装置の製造方法。

【請求項 2 5】 請求項 2 4 記載の半導体装置の製造方法において、
前記第 1 の導電層の一部を露出させたままで、前記配線基板を製造し、
前記第 1 の導電層の露出した部分と、前記半導体チップとを電氣的に接続する半導体装置の製造方法。

【請求項 2 6】 請求項 2 4 記載の半導体装置の製造方法において、
前記第 1 及び第 2 の導電層以外の導電層と、前記半導体チップとを電氣的に接続する半導体装置の製造方法。

【請求項 2 7】 請求項 2 4 から請求項 2 6 のいずれかに記載の半導体装置の製造方法において、
前記第 1 の導電層を、基板上に形成する半導体装置の製造方法。

【請求項 2 8】 請求項 2 7 記載の半導体装置の製造方法において、
前記基板は、凹部を有し、前記凹部を通るように前記第 1 の導電層を形成し、
前記凹部の領域内に前記半導体チップを実装する半導体装置の製造方法。

【請求項 2 9】 請求項 2 7 記載の半導体装置の製造方法において、
前記基板は、絶縁部と、前記絶縁部を貫通する導電部と、を有してなり、
前記絶縁部及び前記導電部に、前記導電部と電氣的に導通するように、前記第 1 の導電層を形成する半導体装置の製造方法。

【請求項 3 0】 請求項 2 7 記載の半導体装置の製造方法において、
前記基板を前記第 1 の導電層から剥離することをさらに含む半導体装置の製造方法。

【請求項 3 1】 基板に半導体チップを、その電極が設けられた面が上を向くように搭載すること、

前記半導体チップの前記電極に導通するように、前記基板及び前記半導体チップの上方に、第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、及び、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することを含む半導体装置の製造方法。

【請求項 3 2】 請求項 3 1 記載の半導体装置の製造方法において、

前記基板は、凹部を有し、前記凹部の領域内に前記半導体チップを搭載する半導体装置の製造方法。

【請求項 3 3】 請求項 3 2 記載の半導体装置の製造方法において、
前記半導体チップが搭載された前記凹部に樹脂を充填して樹脂層を形成することをさらに含み、

前記樹脂層上を通るように前記第 1 の導電層を形成する半導体装置の製造方法。

【請求項 3 4】 第 1 の基板に半導体チップを、その電極が設けられた面が上を向くように搭載すること、

前記半導体チップを避ける形状を有する前記第 2 の基板を、前記第 1 の基板に取り付けること、

前記半導体チップの前記電極に導通するように、前記第 2 の基板及び前記半導体チップの上方に、第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、及び、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することを含む半導体装置の製造方法。

【請求項 3 5】 請求項 3 4 記載の半導体装置の製造方法において、
前記第 2 の基板の熱膨張係数は、前記第 1 の基板よりも、前記半導体チップの熱膨張係数に近い半導体装置の製造方法。

【請求項 3 6】 複数の集積回路が形成された半導体ウエハに、その電極と導通するように、第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記

絶縁層上に配置されるように形成すること、及び、

前記半導体ウエハを切断すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することを含む半導体装置の製造方法。

【請求項 3 7】 請求項 3 1 から請求項 3 6 のいずれかに記載の半導体装置の製造方法において、

前記第 2 の導電層を、その一部が前記第 1 の導電層の一部と電気的に導通するように形成する半導体装置の製造方法。

【請求項 3 8】 請求項 3 1 から請求項 3 7 のいずれかに記載の半導体装置の製造方法において、

前記絶縁層を、前記第 1 の導電層上及び前記第 1 の導電層の隣の領域に形成する半導体装置の製造方法。

【請求項 3 9】 請求項 3 8 記載の半導体装置の製造方法において、
前記絶縁層を複数層で形成し、
前記絶縁層の下層を、前記第 1 の導電層を形成する領域の隣に形成し、
前記絶縁層の上層を、前記第 1 の導電層及び前記絶縁層の下層上に形成する半導体装置の製造方法。

【請求項 4 0】 請求項 3 9 記載の半導体装置の製造方法において、
前記第 1 の導電層を形成した後に、前記絶縁層の下層を形成する半導体装置の製造方法。

【請求項 4 1】 請求項 3 9 記載の半導体装置の製造方法において、
前記絶縁層の下層を形成した後に、前記第 1 の導電層を形成する半導体装置の製造方法。

【請求項 4 2】 請求項 3 1 から請求項 4 1 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の導電層上に、導電性材料の微粒子を含む溶媒の液滴を吐出して、1 つ又はそれ以上のポストを形成することをさらに含み、

前記絶縁層を、前記ポストを形成する領域を避けて形成する半導体装置の製造方法。

【請求項 4 3】 請求項 4 2 記載の半導体装置の製造方法において、
前記絶縁層を、その上面が少なくとも 1 つの前記ポストの上面とほぼ同じ高さになるように形成する半導体装置の製造方法。

【請求項 4 4】 請求項 4 2 又は請求項 4 3 記載の半導体装置の製造方法において、

前記第 2 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成する半導体装置の製造方法。

【請求項 4 5】 請求項 4 2 から請求項 4 4 のいずれかに記載の半導体装置の製造方法において、

前記第 2 の導電層を、少なくとも 1 つの前記ポストを避けて形成する半導体装置の製造方法。

【請求項 4 6】 請求項 3 1 から請求項 4 5 のいずれかに記載の半導体装置の製造方法において、

第 2 の絶縁層を、少なくともその一部が前記第 2 の導電層上に配置されるように形成すること、及び、

第 3 の導電層を、少なくともその一部が前記第 2 の導電層の上方であって前記第 2 の絶縁層上に配置されるように形成すること、

をさらに含み、

前記第 3 の導電層を、導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、
前記第 2 の絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成する半導体装置の製造方法。

【請求項 4 7】 請求項 4 5 を引用する請求項 4 6 記載の半導体装置の製造方法において、

前記第 2 の絶縁層を、少なくとも 1 つの前記ポストを形成する領域を避けて形成し、

前記第 3 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成する半導体装置の製造方法。

【請求項 4 8】 請求項 4 7 記載の半導体装置の製造方法において、
少なくとも 1 つの前記ポストを複数回の工程で形成する半導体装置の製造方法

【請求項 4 9】 請求項 3 1 から請求項 4 8 のいずれかに記載の半導体装置
の製造方法において、

1 つ又はそれ以上の電子部品を形成することをさらに含み、

1 つの前記電気部品を構成する複数の部品のそれぞれを、材料の微粒子を含む
溶媒の液滴を吐出して形成する半導体装置の製造方法。

【請求項 5 0】 請求項 4 9 記載の半導体装置の製造方法において、

それぞれの前記電子部品は、コンデンサ、抵抗器、ダイオード及びトランジス
タのいずれかである半導体装置の製造方法。

【請求項 5 1】 請求項 4 9 又は請求項 5 0 記載の半導体装置の製造方法に
おいて、

少なくとも 1 つの前記電子部品を、前記第 1 の導電層を形成する面上に形成す
る半導体装置の製造方法。

【請求項 5 2】 請求項 4 9 から請求項 5 1 のいずれかに記載の半導体装置
の製造方法において、

少なくとも 1 つの前記電子部品を、前記絶縁層上に形成する半導体装置の製造
方法。

【請求項 5 3】 請求項 4 6, 4 7 及び 4 8 のうちの 1 つを引用する請求項
4 9 から請求項 5 2 のいずれかに記載の半導体装置の製造方法において、

少なくとも 1 つの前記電子部品を、前記第 2 の絶縁層上に形成する半導体装置
の製造方法。

【請求項 5 4】 請求項 1 から請求項 2 3 のいずれかに記載の方法によって
製造されてなる配線基板。

【請求項 5 5】 請求項 2 4 から請求項 5 3 のいずれかに記載の方法によっ
て製造されてなる半導体装置。

【請求項 5 6】 凹部を有する基板と、
前記凹部を通るように形成された第 1 の導電層と、

少なくとも一部が前記第 1 の導電層上に配置されてなる絶縁層と、
少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されて
なる第 2 の導電層と、
前記凹部の領域内に実装されてなる半導体チップと、
を有する半導体装置。

【請求項 5 7】 請求項 5 6 記載の半導体装置において、
前記半導体チップは、前記第 1 の導電層と電氣的に接続されてなる半導体装置
。

【請求項 5 8】 請求項 5 6 記載の半導体装置において、
前記半導体チップは、前記第 1 及び第 2 の導電層以外の導電層と電氣的に接続
されてなる半導体装置。

【請求項 5 9】 凹部を有する基板と、
前記基板の前記凹部の領域内に、電極が設けられた面が上を向くように搭載さ
れてなる半導体チップと、

前記半導体チップの前記電極に導通するように、前記基板及び前記半導体チッ
プの上方に形成されてなる第 1 の導電層と、

少なくとも一部が前記第 1 の導電層上に配置されるように形成されてなる絶縁
層と、

少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置される
ように形成されてなる第 2 の導電層と、

を有する半導体装置。

【請求項 6 0】 請求項 5 9 記載の半導体装置において、
前記半導体チップが搭載された前記凹部に形成されてなる樹脂層をさらに有し

、
前記樹脂層上を通るように前記第 1 の導電層が形成されてなる半導体装置。

【請求項 6 1】 第 1 の基板と、
第 1 の基板に、電極が設けられた面が上を向くように搭載されてなる半導体チ
ップと、

前記半導体チップを避ける形状を有し、前記第 1 の基板に取り付けられてなる

第 2 の基板と、

前記半導体チップの前記電極に導通するように、前記第 2 の基板及び前記半導体チップの上方に形成されてなる第 1 の導電層と、

少なくとも一部が前記第 1 の導電層上に配置されるように形成されてなる絶縁層と、

少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成されてなる第 2 の導電層と、

を有する半導体装置。

【請求項 6 2】 請求項 6 1 記載の半導体装置において、

前記第 2 の基板の熱膨張係数は、前記第 1 の基板よりも、前記半導体チップの熱膨張係数に近い半導体装置。

【請求項 6 3】 請求項 5 5 から請求項 6 2 のいずれかに記載の半導体装置が実装されてなる回路基板。

【請求項 6 4】 請求項 5 5 から請求項 6 2 のいずれかに記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、配線基板及び半導体装置並びにこれらの製造方法、回路基板並びに電子機器に関する。

【 0 0 0 2 】

【発明の背景】

高密度の配線構造が要求される場合に積層基板が使用されている。例えば、BGA (Ball Grid Array) や CSP (Chip Scale/Size Package) などの高密度実装に対応したパッケージで、イターポーザとして積層基板を使用することがあった。従来の積層基板の製造方法として、銅箔のエッチングによって形成した配線パターンを有する基板を積層し、基板にはビアホールを形成して導電材料を充填又はメッキすることで上下の配線パターンの電氣的接続を図る方法が知られている。

【 0 0 0 3 】

従来の方法によれば、エッチングを行うためにフォトリソグラフィの工程が必要であり、そのためにマスクが必要であった。マスクは高価なものである。また、ビアホールは、導電材料の充填又はメッキのために大きく形成しなければならないので、配線構造の高密度化の妨げとなっていた。また、ビアホールにメッキを行ってスルーホールを形成した場合、その内側に空間が形成されるので、水分の除去を工夫しなければならなかった。また、3層以上の基板を積層してからビアホールを機械的に形成する場合、中間層の基板にビアホールを形成することができない。

【 0 0 0 4 】

本発明の目的は、配線基板及び半導体装置並びにこれらの製造方法、回路基板並びに電子機器について、低コスト化、配線構造の高密度化、信頼性の向上、製造の自由度の向上を図ることにある。

【 0 0 0 5 】

【課題を解決するための手段】

(1) 本発明に係る配線基板の製造方法は、第1の導電層を形成すること、絶縁層を、少なくともその一部が前記第1の導電層上に配置されるように形成すること、及び、
第2の導電層を、少なくともその一部が前記第1の導電層の上方であって前記絶縁層上に配置されるように形成すること、
を含み、
前記第1及び第2の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成する。

【 0 0 0 6 】

本発明によれば、液滴の吐出を使用して、第1及び第2の導電層並びに絶縁層を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 0 7 】

(2) この配線基板の製造方法において、
前記第2の導電層を、その一部が前記第1の導電層の一部と電氣的に導通するように形成してもよい。

【0008】

(3) この配線基板の製造方法において、
前記絶縁層を、前記第1の導電層上及び前記第1の導電層の隣の領域に形成してもよい。

【0009】

(4) この配線基板の製造方法において、
前記絶縁層を複数層で形成し、
前記絶縁層の下層を、前記第1の導電層を形成する領域の隣に形成し、
前記絶縁層の上層を、前記第1の導電層及び前記絶縁層の下層上に形成してもよい。

【0010】

(5) この配線基板の製造方法において、
前記第1の導電層を形成した後に、前記絶縁層の下層を形成してもよい。

【0011】

(6) この配線基板の製造方法において、
前記絶縁層の下層を形成した後に、前記第1の導電層を形成してもよい。

【0012】

(7) この配線基板の製造方法において、
前記第1の導電層上に、導電性材料の微粒子を含む溶媒の液滴を吐出して、1つ又はそれ以上のポストを形成することをさらに含み、
前記絶縁層を、前記ポストを形成する領域を避けて形成してもよい。

【0013】

(8) この配線基板の製造方法において、
前記絶縁層を、その上面が少なくとも1つの前記ポストの上面とほぼ同じ高さになるように形成してもよい。

【0014】

(9) この配線基板の製造方法において、
前記第 2 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成してもよい。

【 0 0 1 5 】

(1 0) この配線基板の製造方法において、
前記第 2 の導電層を、少なくとも 1 つの前記ポストを避けて形成してもよい。

【 0 0 1 6 】

(1 1) この配線基板の製造方法において、
第 2 の絶縁層を、少なくともその一部が前記第 2 の導電層上に配置されるように形成すること、及び、

第 3 の導電層を、少なくともその一部が前記第 2 の導電層の上方であって前記第 2 の絶縁層上に配置されるように形成すること、

をさらに含み、

前記第 3 の導電層を、導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、
前記第 2 の絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成してもよい。

【 0 0 1 7 】

(1 2) この配線基板の製造方法において、
前記第 2 の絶縁層を、少なくとも 1 つの前記ポストを形成する領域を避けて形成し、

前記第 3 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成してもよい。

【 0 0 1 8 】

(1 3) この配線基板の製造方法において、
少なくとも 1 つの前記ポストを複数回の工程で形成してもよい。

【 0 0 1 9 】

(1 4) この配線基板の製造方法において、
1 つ又はそれ以上の電子部品を形成することをさらに含み、
1 つの前記電気部品を構成する複数の部品のそれぞれを、材料の微粒子を含む

溶媒の液滴を吐出して形成してもよい。

【 0 0 2 0 】

(1 5) この配線基板の製造方法において、
それぞれの前記電子部品は、コンデンサ、抵抗器、ダイオード及びトランジスタのいずれかであってもよい。

【 0 0 2 1 】

(1 6) この配線基板の製造方法において、
少なくとも 1 つの前記電子部品を、前記第 1 の導電層を形成する面上に形成してもよい。

【 0 0 2 2 】

(1 7) この配線基板の製造方法において、
少なくとも 1 つの前記電子部品を、前記絶縁層上に形成してもよい。

【 0 0 2 3 】

(1 8) この配線基板の製造方法において、
少なくとも 1 つの前記電子部品を、前記第 2 の絶縁層上に形成してもよい。

【 0 0 2 4 】

(1 9) この配線基板の製造方法において、
前記第 1 の導電層を、基板上に形成してもよい。

【 0 0 2 5 】

(2 0) この配線基板の製造方法において、
前記基板は、凹部を有し、前記凹部を通るように前記第 1 の導電層を形成してもよい。

【 0 0 2 6 】

(2 1) この配線基板の製造方法において、
前記基板の少なくとも表面は、絶縁体で形成されていてもよい。

【 0 0 2 7 】

(2 2) この配線基板の製造方法において、
前記基板は、絶縁部と、前記絶縁部を貫通する導電部と、を有してなり、
前記絶縁部及び前記導電部に、前記導電部と電氣的に導通するように、前記第

1 の導電層を形成してもよい。

【 0 0 2 8 】

(2 3) この配線基板の製造方法において、
前記基板を前記第 1 の導電層から剥離することをさらに含んでもよい。

【 0 0 2 9 】

(2 4) 本発明に係る半導体装置の製造方法は、第 1 の導電層を形成すること
、
絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成
すること、及び、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記
絶縁層上に配置されるように形成すること、
を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴
を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出
して形成することで配線基板を製造し、

前記配線基板に、半導体チップを実装することを含む。

【 0 0 3 0 】

本発明によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層並びに絶縁層
を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造
の自由度を向上させることができる。

【 0 0 3 1 】

(2 5) この半導体装置の製造方法において、
前記第 1 の導電層の一部を露出させたままで、前記配線基板を製造し、
前記第 1 の導電層の露出した部分と、前記半導体チップとを電氣的に接続して
もよい。

【 0 0 3 2 】

(2 6) この半導体装置の製造方法において、
前記第 1 及び第 2 の導電層以外の導電層と、前記半導体チップとを電氣的に接
続してもよい。

【 0 0 3 3 】

(2 7) この半導体装置の製造方法において、
前記第 1 の導電層を、基板上に形成してもよい。

【 0 0 3 4 】

(2 8) この半導体装置の製造方法において、
前記基板は、凹部を有し、前記凹部を通るように前記第 1 の導電層を形成し、
前記凹部の領域内に前記半導体チップを実装してもよい。

【 0 0 3 5 】

(2 9) この半導体装置の製造方法において、
前記基板は、絶縁部と、前記絶縁部を貫通する導電部と、を有してなり、
前記絶縁部及び前記導電部に、前記導電部と電氣的に導通するように、前記第
1 の導電層を形成してもよい。

【 0 0 3 6 】

(3 0) この半導体装置の製造方法において、
前記基板を前記第 1 の導電層から剥離することをさらに含んでもよい。

【 0 0 3 7 】

(3 1) 本発明に係る半導体装置の製造方法は、基板に半導体チップを、その
電極が設けられた面が上を向くように搭載すること、

前記半導体チップの前記電極に導通するように、前記基板及び前記半導体チッ
プの上方に、第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成
すること、及び、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記
絶縁層上に配置されるように形成すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴
を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出
して形成することを含む。

【 0 0 3 8 】

本発明によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層並びに絶縁層を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 3 9 】

(3 2) この半導体装置の製造方法において、
前記基板は、凹部を有し、前記凹部の領域内に前記半導体チップを搭載してもよい。

【 0 0 4 0 】

(3 3) この半導体装置の製造方法において、
前記半導体チップが搭載された前記凹部に樹脂を充填して樹脂層を形成することをさらに含み、
前記樹脂層上を通るように前記第 1 の導電層を形成してもよい。

【 0 0 4 1 】

(3 4) 本発明に係る半導体装置の製造方法は、第 1 の基板に半導体チップを、その電極が設けられた面が上を向くように搭載すること、
前記半導体チップを避ける形状を有する前記第 2 の基板を、前記第 1 の基板に取り付けること、
前記半導体チップの前記電極に導通するように、前記第 2 の基板及び前記半導体チップの上方に、第 1 の導電層を形成すること、
絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、及び、
第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、
を含み、
前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することを含む。

【 0 0 4 2 】

本発明によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層並びに絶縁層

を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 4 3 】

(3 5) この半導体装置の製造方法において、

前記第 2 の基板の熱膨張係数は、前記第 1 の基板よりも、前記半導体チップの熱膨張係数に近くてもよい。

【 0 0 4 4 】

(3 6) 本発明に係る半導体装置の製造方法は、複数の集積回路が形成された半導体ウエハに、その電極と導通するように、第 1 の導電層を形成すること、

絶縁層を、少なくともその一部が前記第 1 の導電層上に配置されるように形成すること、

第 2 の導電層を、少なくともその一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成すること、及び、

前記半導体ウエハを切断すること、

を含み、

前記第 1 及び第 2 の導電層を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成することを含む。

【 0 0 4 5 】

本発明によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層並びに絶縁層を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 4 6 】

(3 7) この半導体装置の製造方法において、

前記第 2 の導電層を、その一部が前記第 1 の導電層の一部と電氣的に導通するように形成してもよい。

【 0 0 4 7 】

(3 8) この半導体装置の製造方法において、

前記絶縁層を、前記第 1 の導電層上及び前記第 1 の導電層の隣の領域に形成し

てもよい。

【 0 0 4 8 】

(3 9) この半導体装置の製造方法において、
前記絶縁層を複数層で形成し、
前記絶縁層の下層を、前記第 1 の導電層を形成する領域の隣に形成し、
前記絶縁層の上層を、前記第 1 の導電層及び前記絶縁層の下層上に形成してもよい。

【 0 0 4 9 】

(4 0) この半導体装置の製造方法において、
前記第 1 の導電層を形成した後に、前記絶縁層の下層を形成してもよい。

【 0 0 5 0 】

(4 1) この半導体装置の製造方法において、
前記絶縁層の下層を形成した後に、前記第 1 の導電層を形成してもよい。

【 0 0 5 1 】

(4 2) この半導体装置の製造方法において、
前記第 1 の導電層上に、導電性材料の微粒子を含む溶媒の液滴を吐出して、 1
つ又はそれ以上のポストを形成することをさらに含み、
前記絶縁層を、前記ポストを形成する領域を避けて形成してもよい。

【 0 0 5 2 】

(4 3) この半導体装置の製造方法において、
前記絶縁層を、その上面が少なくとも 1 つの前記ポストの上面とほぼ同じ高さ
になるように形成してもよい。

【 0 0 5 3 】

(4 4) この半導体装置の製造方法において、
前記第 2 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成しても
よい。

【 0 0 5 4 】

(4 5) この半導体装置の製造方法において、
前記第 2 の導電層を、少なくとも 1 つの前記ポストを避けて形成してもよい。

【 0 0 5 5 】

(4 6) この半導体装置の製造方法において、

第 2 の絶縁層を、少なくともその一部が前記第 2 の導電層上に配置されるように形成すること、及び、

第 3 の導電層を、少なくともその一部が前記第 2 の導電層の上方であって前記第 2 の絶縁層上に配置されるように形成すること、

をさらに含み、

前記第 3 の導電層を、導電性材料の微粒子を含む溶媒の液滴を吐出して形成し、前記第 2 の絶縁層を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成してもよい。

【 0 0 5 6 】

(4 7) この半導体装置の製造方法において、

前記第 2 の絶縁層を、少なくとも 1 つの前記ポストを形成する領域を避けて形成し、

前記第 3 の導電層を、少なくとも 1 つの前記ポスト上を通るように形成してもよい。

【 0 0 5 7 】

(4 8) この半導体装置の製造方法において、

少なくとも 1 つの前記ポストを複数回の工程で形成してもよい。

【 0 0 5 8 】

(4 9) この半導体装置の製造方法において、

1 つ又はそれ以上の電子部品を形成することをさらに含み、

1 つの前記電気部品を構成する複数の部品のそれぞれを、材料の微粒子を含む溶媒の液滴を吐出して形成してもよい。

【 0 0 5 9 】

(5 0) この半導体装置の製造方法において、

それぞれの前記電子部品は、コンデンサ、抵抗器、ダイオード及びトランジスタのいずれかであってもよい。

【 0 0 6 0 】

(5 1) この半導体装置の製造方法において、
少なくとも 1 つの前記電子部品を、前記第 1 の導電層を形成する面上に形成してもよい。

【 0 0 6 1 】

(5 2) この半導体装置の製造方法において、
少なくとも 1 つの前記電子部品を、前記絶縁層上に形成してもよい。

【 0 0 6 2 】

(5 3) この半導体装置の製造方法において、
少なくとも 1 つの前記電子部品を、前記第 2 の絶縁層上に形成してもよい。

【 0 0 6 3 】

(5 4) 本発明に係る配線基板は、上記方法によって製造されてなる。

【 0 0 6 4 】

(5 5) 本発明に係る半導体装置は、上記方法によって製造されていてもよい。

【 0 0 6 5 】

(5 6) 本発明に係る半導体装置は、凹部を有する基板と、
前記凹部を通るように形成された第 1 の導電層と、
少なくとも一部が前記第 1 の導電層上に配置されてなる絶縁層と、
少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されてなる第 2 の導電層と、
前記凹部の領域内に実装されてなる半導体チップと、
を有する。

【 0 0 6 6 】

(5 7) この半導体装置において、
前記半導体チップは、前記第 1 の導電層と電氣的に接続されていてもよい。

【 0 0 6 7 】

(5 8) この半導体装置において、
前記半導体チップは、前記第 1 及び第 2 の導電層以外の導電層と電氣的に接続されていてもよい。

【 0 0 6 8 】

(5 9) 本発明に係る半導体装置は、凹部を有する基板と、
前記基板の前記凹部の領域内に、電極が設けられた面が上を向くように搭載されてなる半導体チップと、
前記半導体チップの前記電極に導通するように、前記基板及び前記半導体チップの上方に形成されてなる第 1 の導電層と、
少なくとも一部が前記第 1 の導電層上に配置されるように形成されてなる絶縁層と、
少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成されてなる第 2 の導電層と、
を有する。

【 0 0 6 9 】

(6 0) この半導体装置において、
前記半導体チップが搭載された前記凹部に形成されてなる樹脂層をさらに有し、
前記樹脂層上を通るように前記第 1 の導電層が形成されていてもよい。

【 0 0 7 0 】

(6 1) 本発明に係る半導体装置は、第 1 の基板と、
第 1 の基板に、電極が設けられた面が上を向くように搭載されてなる半導体チップと、
前記半導体チップを避ける形状を有し、前記第 1 の基板に取り付けられてなる第 2 の基板と、
前記半導体チップの前記電極に導通するように、前記第 2 の基板及び前記半導体チップの上方に形成されてなる第 1 の導電層と、
少なくとも一部が前記第 1 の導電層上に配置されるように形成されてなる絶縁層と、
少なくとも一部が前記第 1 の導電層の上方であって前記絶縁層上に配置されるように形成されてなる第 2 の導電層と、
を有する。

【 0 0 7 1 】

(6 2) この半導体装置において、

前記第 2 の基板の熱膨張係数は、前記第 1 の基板よりも、前記半導体チップの熱膨張係数に近くてもよい。

【 0 0 7 2 】

(6 3) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

【 0 0 7 3 】

(6 4) 本発明に係る電子機器は、上記半導体装置を有する。

【 0 0 7 4 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 7 5 】

(第 1 の実施の形態)

図 1 ～図 1 0 (B) は、本発明の第 1 の実施の形態に係る配線基板の製造方法を説明する図である。本実施の形態では、図 1 に示すように、基板 1 0 を使用する。基板 1 0 は、その上に載せるもの又はその上に形成するものを支持できる形状であれば、プレート（例えば矩形のプレート）に限定されない。基板 1 0 は、電氣的絶縁体（例えばポリイミド等の樹脂やガラス）、導電体（例えば銅などの金属）又は半導体のいずれで形成されていてもよい。基板 1 0 は、金属などの放熱性の材料からなる放熱器（例えば放熱板）であってもよい。基板 1 0 の本体が導電体で形成されている場合に、少なくともその表面は、絶縁膜 1 2 で形成されていてもよい。絶縁膜 1 2 は、例えばポリイミド等の樹脂を設け、これを 2 0 0 ～ 6 0 0 ℃程度の温度で 1 ～ 5 時間程度焼結して形成してもよい。

【 0 0 7 6 】

基板 1 0 には、凹部 1 4 が形成されていてもよい。凹部 1 4 の開口形状及び底面形状は、特に限定されないが矩形であってもよい。凹部 1 4 の内壁面は、基板 1 0 の上面（凹部 1 4 の周囲の面）又は凹部 1 4 の底面に対して傾斜していてもよい。すなわち、凹部 1 4 の内壁面はテーパ面であってもよい。凹部 1 4 の内壁面と基板 1 0 の上面（凹部 1 4 の周囲の面）との接続部 1 6 は、曲面（凸面）に

なっている。凹部 1 4 の内壁面と凹部 1 4 の底面との接続部 1 8 は、曲面（凹面）になってもよい。接続部 1 6, 1 8 をこのような形状にすることで、その上を通る第 1 の導電層 2 0 の断線が少なくなる。凹部 1 4 は、エッチング、切削又はスタンピングのいずれかの方法で、0. 5 ～数 mm 程度の深さになるように形成してもよい。絶縁膜 1 2 は、凹部 1 4 内（詳しくは凹部 1 4 の内壁面及び底面）においては、その全面に形成してもよいし、その一部の領域（第 1 の導電層 2 0 を形成する領域）にのみ形成してもよい。絶縁膜 1 2 は、基板 1 0 の上面（凹部 1 4 の周囲の面）においては、その全面に形成してもよいし、その一部の領域（第 1 の導電層 2 0 を形成する領域）にのみ形成してもよい。

【 0 0 7 7 】

図 2 (A) 及び図 2 (B) に示すように、第 1 の導電層（例えば、複数のラインを含む配線パターン）2 0 を形成する。第 1 の導電層 2 0 は、基板 1 0 に形成する。第 1 の導電層 2 0 は、凹部 1 4 を通るように形成してもよい。第 1 の導電層 2 0 は、導電性材料（例えば金、銀、銅などの金属）の微粒子を含む溶媒の液滴を吐出して形成する。インクジェット法やバブルジェット（登録商標）法を使用してもよい。金の微粒子を含む溶媒として、真空冶金株式会社の「パーフェクトゴールド」、銀の微粒子を含む溶媒として、同社の「パーフェクトシルバー」を使用してもよい。なお、微粒子とは、特に大きさを限定したものではなく、溶媒とともに吐出できる粒子である。第 1 の導電層 2 0 は、吐出された導電性材料の微粒子を含む溶媒を 2 0 0 ～ 6 0 0 ℃程度の温度で 1 ～ 5 時間程度焼結して形成してもよい。

【 0 0 7 8 】

また、絶縁層 2 6（図 3 (B) 参照）を形成する。絶縁層 2 6 は、絶縁性材料（例えばポリイミド等の樹脂）の微粒子を含む溶媒の液滴を吐出して形成する。例えば、インクジェット法やバブルジェット（登録商標）法を使用してもよい。絶縁層 2 6 は、複数層（例えば下層 2 2 及び上層 2 4）で形成してもよい。その場合、絶縁性材料の微粒子を含む溶媒の液滴の吐出を複数回行ってもよい。絶縁層 2 6 は、吐出された絶縁性材料の微粒子を含む溶媒を 2 0 0 ～ 6 0 0 ℃程度の温度で 1 ～ 5 時間程度焼結して形成してもよい。焼結は、下層 2 2 及び上層 2 4

のそれぞれを形成する毎に行ってもよい。

【 0 0 7 9 】

図 2 (A) 及び図 2 (B) に示すように、下層 2 2 は、第 1 の導電層 2 0 を形成する領域の隣に形成してもよい。第 1 の導電層 2 0 を形成してから下層 2 2 を形成してもよい。その場合、第 1 の導電層 2 0 の上面を避けて下層 2 2 を形成してもよい。あるいは、第 1 の導電層 2 0 を形成する領域を避けて下層 2 2 を形成し、下層 2 2 が避けた領域に第 1 の導電層 2 0 を形成してもよい。下層 2 2 は、その上面が第 1 の導電層 2 0 の上面と同じ高さになるように形成してもよいし、その上面が第 1 の導電層 2 0 の上面と異なる高さになるように形成してもよい。

【 0 0 8 0 】

図 3 (A) 及び図 3 (B) に示すように、上層 2 4 は、第 1 の導電層 2 0 及び下層 2 2 の上に形成してもよい。第 1 の導電層 2 0 及び下層 2 2 の両方を形成してから上層 2 4 を形成してもよい。あるいは、下層 2 2 を形成し、上層 2 4 の一部を第 1 の導電層 2 0 を避けて下層 2 2 上に形成し、その後、第 1 の導電層 2 0 を形成し、その後、上層 2 4 の残りの部分を第 1 の導電層 2 0 上に形成してもよい。

【 0 0 8 1 】

こうして、絶縁層 2 6 を、少なくともその一部（例えば上層 2 4）が第 1 の導電層 2 0 上に配置されるように形成する。絶縁層 2 6 は、第 1 の導電層 2 0 の一部を避けて形成してもよい。絶縁層 2 6 は、第 1 の導電層 2 0 上及び第 1 の導電層 2 0 の隣の領域に形成してもよい。絶縁層 2 6 は、第 1 の導電層 2 0 の面（例えば、第 1 の導電層 2 0 の基板 1 0 との接触面と、必要であればポスト 3 0 を形成する部分の面と、必要であれば半導体チップ 8 0（図 1 1 参照）との電氣的な接続部の面と、を除く面）を覆ってもよい。絶縁層 2 6 は、半導体チップを搭載する領域（例えば凹部 1 4 内の底面の少なくとも一部）を避けて形成してもよい。

【 0 0 8 2 】

以上の説明は、絶縁層 2 6 を複数層（複数回のプロセス）で形成する例であるが、絶縁層 2 0 を 1 層（1 回のプロセス）で形成してもよい。例えば、第 1 の導

電層 2 0 を形成し、その後、絶縁層 2 6 を、少なくともその一部が第 1 の導電層 2 0 上に配置されるように形成してもよい。

【 0 0 8 3 】

図 3 (A) 及び図 3 (B) に示すように、第 1 の導電層 2 0 上に、1 つ又はそれ以上のポスト 3 0 を形成してもよい。ポスト 3 0 は、上下の導電層の電氣的に接続する部分である。ポスト 3 0 は、その一部が第 1 の導電層 2 0 上に載っていれば、第 1 の導電層 2 0 よりも大きくてもよい。ポスト 3 0 は、導電性材料の微粒子を含む溶媒の液滴を吐出して形成する。絶縁層 2 6 は、ポスト 3 0 を形成する領域を避けて形成する。絶縁層 2 6 (例えばその上層 2 4) は、その上面が少なくとも 1 つのポスト 3 0 の上面とほぼ同じ高さになるように形成してもよい。

【 0 0 8 4 】

第 1 の導電層 2 0 上にポスト 3 0 を形成した後に、絶縁層 2 6 を形成してもよいし、絶縁層 2 6 の少なくとも一部 (その一部 (例えば下層 2 2) 又は全体) を形成した後に、ポスト 3 0 を第 1 の導電層 2 0 上に形成してもよい。

【 0 0 8 5 】

第 1 の導電層 2 0 上に形成されるポスト 3 0 として、例えば次のものがある。図 3 (A) に示すポスト 3 0 は、第 1 の導電層 2 0 上に形成されたポスト 3 1 のみからなる。図 5 に示すポスト 3 0 は、第 1 の導電層 2 0 上に形成されたポスト 3 1 (図 3 (A) 参照) と、その上に形成されたポスト 3 2 (図 4 参照) と、その上に形成されたポスト 3 3 からなる。図 7 に示すポスト 3 0 は、第 1 の導電層 2 0 上に形成されたポスト 3 1 (図 3 (A) 参照) と、その上に形成されたポスト 3 2 (図 4 参照) と、その上に形成されたポスト 3 3 (図 5 参照) と、その上に形成されたポスト 3 4 (図 6 参照) と、その上に形成されたポスト 3 5 からなる。このように、ポスト 3 0 は、1 層で形成してもよいし、複数層で形成してもよい。ポスト 3 0 の構成要素となるポスト 3 1, 3 2, 3 3, 3 4, 3 5 は、それぞれ、導電性材料の微粒子を含む溶媒の液滴の吐出によって形成してもよい。また、ポスト 3 1, 3 2, 3 3, 3 4, 3 5 は、順に形成してもよい。すなわち、少なくとも 1 つのポスト 3 0 は、複数回の工程で形成してもよい。

【 0 0 8 6 】

図 4 に示すように、第 2 の導電層（例えば、複数のラインを含む配線パターン）4 0 を形成する。第 2 の導電層 4 0 は、少なくともその一部が第 1 の導電層 2 0 の上方であって絶縁層 2 6 上に配置されるように形成する。第 2 の導電層 4 0 の詳細は、第 1 の導電層 2 0 の内容が該当する。第 2 の導電層 2 0 を、その一部が第 1 の導電層 2 0 の一部と電氣的に導通するように形成してもよい。例えば、第 2 の導電層 4 0 を、少なくとも 1 つのポスト 3 0（例えばポスト 3 1 のみからなるもの）上を通るように形成してもよい。こうすることで、ポスト 3 0 を介して、第 1 の導電層 2 0 の一部と、第 2 の導電部 4 0 の一部が導通する。第 1 及び第 2 の導電部 2 0, 4 0 は、その他の部分について、絶縁層 2 6 によって電氣的に絶縁を図ることができる。なお、第 2 の導電層 4 0 は、少なくとも 1 つのポスト 3 1（詳しくは、その上にポスト 3 2 が形成されるポスト 3 1（図 3（A）参照））を避けて形成してもよい。

【 0 0 8 7 】

本実施の形態によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層 2 0, 4 0 並びに絶縁層 2 6 を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 8 8 】

図 5 に示すように、第 2 の絶縁層 4 6 を、少なくともその一部が第 2 の導電層 4 0 上に配置されるように形成してもよい。第 2 の絶縁層 4 6 は、第 2 の導電層 4 0 の一部を避けて形成してもよい。第 2 の絶縁層 4 6 の詳細は、絶縁層（第 1 の絶縁層）2 6 の内容が該当する。例えば、第 2 の絶縁層 4 6 を、図 4 に示す下層 4 2 と、図 5 に示す上層 4 4 とで形成してもよい。下層 4 2 及び上層 4 4 については、下層 2 2 及び上層 2 4 の内容が該当する。また、第 2 の絶縁層 4 6 は、半導体チップ 8 0（図 1 1 参照）を搭載する領域（例えば凹部 1 4 内の底面の少なくとも一部）を避けて形成してもよい。

【 0 0 8 9 】

ポスト 3 2 を、図 3（A）に示すいずれかのポスト 3 1 上に形成してもよい。この場合、第 2 の絶縁層 4 6 は、少なくとも 1 つのポスト 3 2 を形成する領域を避けて形成する。ポスト 3 2 には、図 5 に示すように、さらにポスト 3 3 を形成

してもよい。また、第2の導電層40上に、ポスト50（図9参照）を形成してもよい。ポスト50は、図5に示すように、第2の導電層40上に形成されたポスト51と、図6～9（A）に示すように、その上に形成されたポスト52～55から形成してもよい。ポスト50の詳細は、ポスト30の内容が該当する。

【0090】

図6に示すように、第3の導電層60を、少なくともその一部が第2の導電層40の上方であって第2の絶縁層46上に配置されるように形成してもよい。第3の導電層60の詳細は、第1の導電層20の内容が該当する。第3の導電層60を、その一部が第1又は第2の導電層20、40の一部と電氣的に導通するように形成してもよい。例えば、第3の導電層60を、少なくとも1つのポスト30（例えばポスト31、32、33からなるもの）上を通るように形成してもよい。こうすることで、ポスト30を介して、第1の導電層20の一部と、第3の導電部60の一部が導通する。同様に、第3の導電層60を、少なくとも1つのポスト51上を通るように形成してもよい（この例は図示せず）。こうすることで、ポスト51を介して、第2の導電層40の一部と、第3の導電部60の一部が導通する。第1及び第2の導電層20、40と、第3の導電部60とは、その他の部分について、第2の絶縁層46によって電氣的に絶縁を図ることができる。なお、第3の導電層60は、少なくとも1つのポスト34、52を避けて形成してもよい。

【0091】

必要に応じて、図7及び図8に示すように、以上の工程を繰り返して、導電層及び絶縁層を積層する。そして、図9（A）及び図9（B）に示すように、ポスト50、70の上面が露出するように絶縁層72を形成してもよい。ポスト50は、第2の導電層40上に設けられており、ポスト70は、それ以外の導電層又はポスト上に設けられている（詳細は省略）。ポスト50、70は、外部端子を形成する位置に形成してもよい。ポスト50、70は、図9（A）に示す数及び配列に限らず、マトリクス状（複数行複数列）あるいはエリアアレイ状に配列してもよい。

【0092】

図 1 0 (A) 及び図 1 0 (B) に示すように、ポスト 5 0, 7 0 上に、これらの上面よりも大きなランド 7 4 を形成してもよい。ランド 7 4 は、ポスト 5 0, 7 0 を介して、いずれかの導電層（例えば第 1 の導電層 2 0）に電氣的に接続されている。少なくとも 1 つのランド 7 4 は、半導体チップと電氣的に接続される導電層（例えば第 1 の導電層 2 0）と電氣的に接続されている。また、ランド 7 4 の少なくとも一部が露出するように、絶縁層 7 6 を形成してもよい。ランド 7 4 には、第 1 の導電層 2 0 の内容を適用してもよい。絶縁層 7 6 には、絶縁層 2 6 の内容を適用してもよい。

【 0 0 9 3 】

こうして、配線基板を製造することができる。配線基板は、上述した説明から導き出される構成を有する。図 1 0 (A) 及び図 1 0 (B) に示すように、第 1 の導電層 2 0 の一部が露出しているてもよい。例えば、基板 1 0 の凹部 1 4 の領域内で、第 1 の導電層 2 0 の一部が露出しているてもよい。この露出部分は、半導体チップ 8 0 との電氣的接続に使用してもよい。

【 0 0 9 4 】

図 1 1 及び図 1 2 は、半導体装置の製造方法を説明する図である。本実施の形態では、上述した配線基板に、半導体チップ 8 0 を実装する。半導体チップ 8 0 は、パッド配列についてペリフェラル型のものであり、周縁部にパッドが配列されている。

第 1 の導電層 2 0 の露出した部分と、半導体チップ 8 0 とを電氣的に接続してもよい。あるいは、第 1 の導電層 2 0 とは別の導電層（例えば、第 2 の導電層 4 0 あるいは第 2 の導電層 4 0 と異なる導電層）と半導体チップ 8 0 とを電氣的に接続してもよい。半導体チップ 8 0 の実装は、図 1 1 に示すようなフェースダウンボンディングを適用してもよいし、フェースアップボンディングを適用してワイヤによって電氣的な接続を図ってもよい。基板 1 0 の凹部 1 4 の領域内に半導体チップ 8 0 を実装してもよい。

【 0 0 9 5 】

図 1 2 に示すように、半導体チップ 8 0 が実装された凹部 1 4 には、エポキシ等の樹脂 8 4 を充填してもよい。また、ランド 7 4 には、ハンダ等のろう材（軟

ろう・硬ろう) 82 を設けてもよい。ろう材は、ハンダボールであってもよいし、ハンダペーストであってもよい。

【 0 0 9 6 】

本実施の形態に係る半導体装置は、凹部 14 が形成された基板 10 を有する。凹部 14 を通るように第 1 の導電層 20 が形成されている。絶縁層 26 の少なくとも一部が第 1 の導電層 20 上に配置されている。第 2 の導電層 40 の少なくとも一部が、第 1 の導電層 20 の上方であって絶縁層 26 上に配置されている。凹部 14 の領域内に半導体チップ 80 が実装されている。半導体チップ 80 は、第 1 の導電層 20 と電氣的に接続されていてもよい。あるいは、半導体チップ 80 は、第 1 及び第 2 の導電層 20, 40 以外の導電層と電氣的に接続されていてもよい。

【 0 0 9 7 】

本実施の形態によれば、液滴の吐出を使用して、第 1 及び第 2 の導電層並びに絶縁層を形成するので、低コストで配線構造の高密度化が可能であり、信頼性及び製造の自由度を向上させることができる。

【 0 0 9 8 】

(第 2 の実施の形態)

図 13 は、本発明の第 2 の実施の形態に係る配線基板を説明する平面図であり、図 14 は、図 13 に示す配線基板を使用した半導体装置を説明する断面図である。本実施の形態でも、第 1 の実施の形態で説明した基板 10 を使用する。基板 10 には凹部 14 が形成されており、その上に絶縁膜 12 が形成されている。

【 0 0 9 9 】

図 13 に示す配線基板は、複数のランド 100 を有する。ランド 100 は、配線基板の最上層に形成されている。ランド 100 は、配線基板の中央部（例えば凹部 14 の領域内）に配置されていてもよい。ランド 100 は、エリアアレイ状（複数行複数列（例えば 3 行以上であって 3 列以上）で例えばマトリクス状）に配列されている。ランド 100 は、半導体チップ 102 と接合するためのものである。配線基板は、半導体チップ 102 と接合されるランド 100 とは別に、外部端子を設けるためのランド 104 を有していてもよい。

【 0 1 0 0 】

図 1 4 に示すように、半導体装置は、半導体チップ 1 0 2 を有する。半導体チップ 1 0 2 は、パッド配列についてエリアアレイ型である。半導体チップ 1 0 2 は、配線基板にフェースダウンボンディングしてもよい。半導体チップ 1 0 2 のパッドにはバンプを形成してあってもよい。半導体チップ 1 0 2 のパッドは、ランド 1 0 0 と電氣的に接続されている。

【 0 1 0 1 】

基板 1 0 に凹部 1 4 が形成されており、ランド 1 0 0 が凹部 1 4 の底面の上方に形成されている。したがって、ランド 1 0 0 が形成された領域（例えば配線基板の中央部）は、それ以外の領域（例えば配線基板の端部）よりも低くなっている。さらに、配線基板に実装された半導体チップ 1 0 2 の上面（パッドが形成された面とは反対側の面）が、配線基板の凹部 1 4 の外側領域の最上層（例えばランド 1 0 4）の表面よりも低くなっているてもよい。半導体チップ 1 0 2 は、樹脂 1 0 6 によって覆われていてもよい。例えば、凹部 1 4 に対応して形成された窪みに樹脂 1 0 6 が設けられていてもよい。

【 0 1 0 2 】

ランド 1 0 4 には、ハンダ等のろう材（軟ろう・硬ろう） 1 0 8 を設けてもよい。ろう材は、ハンダボールであってもよいし、ハンダペーストであってもよい。少なくとも 1 つのランド 1 0 4 は、少なくとも 1 つのランド 1 0 0 と電氣的に接続されている。

【 0 1 0 3 】

図 1 5 (A) ～図 2 0 は、本発明の第 2 の実施の形態に係る配線基板の製造方法を説明する図である。本実施の形態では、図 1 5 (A) 及び図 1 5 (B) に示すように、第 1 の導電層 1 2 0 を形成する。第 1 の導電層 1 2 0 は、絶縁膜 1 2 上に形成してもよい。第 1 の導電層 1 2 0 は、電氣的な接続に使用される導電層としては最下層の導電層であってもよい。第 1 の導電層 1 2 0 は、複数のラインから構成されていてもよい。ラインの一部（例えば先端部）は、いずれかのランド 1 0 0（図 1 3 参照）を形成する位置と重複するように配置されてもよい。詳しくは、複数のランド 1 0 0 のうち、内側に位置するランド 1 1 2（図 1 3 参照

）と、第 1 の導電層 1 2 0 の一部（例えばラインの一部 1 2 1）とが重複する位置になっている。第 1 の導電層 1 2 0 の内容（材料及びその形成方法等）は、第 1 の実施の形態で説明した第 1 の導電層 2 0 に関する内容が該当する。

【 0 1 0 4 】

図 1 6 （A）及び図 1 6 （B）に示すように、絶縁層 1 2 6 とポスト 1 3 1 を形成する。絶縁層 1 2 6 とポスト 1 3 1 の内容（材料及びその形成方法等）は、第 1 の実施の形態で説明した絶縁層 2 6 及びポスト 3 1 に関する内容が該当する。第 1 の導電層 1 2 0 には、その一部（例えば図 1 5 （A）に示すラインの一部 1 2 1）にポスト 1 4 1 を形成する。ポスト 1 4 1 は、半導体チップ 1 0 2 のパッドに対応する位置（ランド 1 0 0 を形成する位置）に形成される。ポスト 1 4 1 は、複数のランド 1 0 0 のうち、内側に位置するランド 1 1 2 （図 1 3 参照）に対応する位置にのみ形成してもよい。ポスト 1 4 1 の内容（材料及びその形成方法等）は、ポスト 1 3 1 に関する内容と同じであってもよい。

【 0 1 0 5 】

図 1 7 （A）及び図 1 7 （B）に示すように、第 2 の導電層 1 5 0 を形成する。第 2 の導電層 1 5 0 は、絶縁層 1 2 6 上に形成する。第 2 の導電層 1 5 0 の内容（材料及びその形成方法等）は、第 1 の実施の形態で説明した第 2 の導電層 4 0 に関する内容が該当する。第 2 の導電層 1 5 0 を構成する複数のラインのうち、いずれかのラインの一部（例えば先端部） 1 5 1 は、ランド 1 0 0 に対応する位置に配置してもよい。ラインの一部 1 5 1 は、先に形成したラインの一部 1 2 1 （図 1 5 （A）参照）よりも、外側に位置するランド 1 1 4 （図 1 3 参照）に対応する位置に配置する。

【 0 1 0 6 】

また、ポスト 1 3 1， 1 4 1 上にさらにポスト 1 3 2， 1 4 2 を形成する。ポスト 1 3 2， 1 4 2 の内容（材料及びその形成方法等）は、ポスト 1 3 1， 1 4 1 に関する内容と同じであってもよい。なお、図 1 7 （A）及び図 1 7 （B）には示されないが、第 2 の導電層 1 5 0 は、ポスト 1 4 1 及びポスト 1 3 1 の少なくとも一方の上を通るように形成してもよい。

【 0 1 0 7 】

図 1 8 (A) 及び図 1 8 (B) に示すように、第 2 の絶縁層 1 5 6 を形成する。また、ポスト 1 3 2 上にポスト 1 3 3 を形成してもよい。積層したポスト 1 3 1, 1 3 2, 1 3 3 は、その上にさらにポストが形成されない場合、1 つのポスト 1 3 0 ということができる。ポスト 1 6 0 を、第 2 の導電層 1 5 0 上に形成してもよい。ポスト 1 4 2 上にさらにポスト 1 4 3 を形成してもよい。ポスト 1 7 1 を、第 2 の導電層 1 5 0 (例えばラインの先端部 1 5 1) 上に形成してもよい。第 2 の絶縁層 1 5 6 の内容 (材料及びその形成方法等) は、第 1 の実施の形態で説明した第 2 の絶縁層 4 6 に関する内容と同じであってもよい。ポスト 1 3 3, 1 6 0, 1 4 3, 1 7 1 の内容 (材料及びその形成方法等) は、ポスト 1 3 1 に関する内容と同じであってもよい。

【 0 1 0 8 】

図 1 9 に示すように、第 3 の導電層 1 8 0 を形成してもよい。第 3 の導電層 1 8 0 は、第 2 の絶縁層 1 5 6 上に形成する。第 3 の導電層 1 8 0 は、ポスト 1 3 0 の上を通るように形成してもよい。第 3 の導電層 1 8 0 の内容 (材料及びその形成方法等) は、第 1 の実施の形態で説明した第 2 の導電層 4 0 に関する内容が該当する。ポスト 1 4 3, 1 7 1 上にさらにポスト 1 4 4, 1 7 2 を形成する。ポスト 1 4 3, 1 7 1 の内容 (材料及びその形成方法等) は、ポスト 1 4 1 に関する内容と同じであってもよい。

【 0 1 0 9 】

図 2 0 に示すように、第 3 の絶縁層 1 8 6 を形成してもよい。また、ポスト 1 3 4 上にポスト 1 3 5 を形成してもよい。積層したポスト 1 3 1 ~ 1 3 5 は、その上にさらにポストが形成されない場合、1 つのポスト 1 3 0 ということができる。ポスト 1 9 0 を、第 3 の導電層 1 8 0 上に形成してもよい。ポスト 1 4 4, 1 7 2 上にさらにポスト 1 4 5, 1 7 3 を形成してもよい。積層したポスト 1 4 1 ~ 1 4 5 (あるいはポスト 1 7 1 ~ 1 7 3) は、その上にさらにポストが形成されない場合、1 つのポスト 1 4 0 (あるいはポスト 1 7 0) ということができる。第 3 の絶縁層 1 8 6 の内容 (材料及びその形成方法等) は、第 1 の実施の形態で説明した第 2 の絶縁層 4 6 に関する内容と同じであってもよい。ポスト 1 3 5, 1 9 0, 1 4 5, 1 7 3 の内容 (材料及びその形成方法等) は、ポスト 1 3

1 に関する内容と同じであってもよい。

【 0 1 1 0 】

ポスト 1 3 0, 1 9 0 には、図 1 3 に示すように、ランド 1 0 4 を形成してもよい。ポスト 1 4 0, 1 7 0 の表面がランド 1 1 2, 1 1 4 であってもよいし、ポスト 1 4, 1 7 0 に導電層を形成してランドを形成してもよい。

【 0 1 1 1 】

本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 1 2 】

(第 3 の実施の形態)

図 2 1 (A) ~ 図 2 1 (C) は、本発明の第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図 2 1 (A) に示すように、基板 2 0 0 に半導体チップ 2 1 0 を、その電極 2 1 2 が設けられた面が上を向くように搭載する。基板 2 0 0 には、絶縁膜 2 0 4 が形成されていてもよい。基板 2 0 0 は、凹部 2 0 2 を有していてもよい。凹部 2 0 2 の内壁面は、垂直に立ち上がっていてもよいし、傾斜していてもよいし、曲面（凸面又は凹面）になっていてもよい。凹部 2 0 2 の領域内に半導体チップ 2 1 0 を搭載してもよい。基板 2 0 0 と半導体チップ 2 1 0 は、接着剤 2 1 4 によって接着してもよい。半導体チップ 2 1 0 が搭載された凹部 2 0 2 に樹脂 2 1 6 を充填してもよい。こうして、図 2 1 (B) に示すように、半導体チップ 2 1 0 が搭載された凹部 2 0 2 に、樹脂 2 1 6 によって樹脂層を形成することができる。

【 0 1 1 3 】

図 2 1 (C) に示すように、基板 2 0 0 (例えば凹部 2 0 2 の周囲の領域) 及び半導体チップ 2 1 0 の上方に、第 1 の導電層 2 2 0 を形成する。第 1 の導電層 2 2 0 は、半導体チップ 2 1 0 の電極 2 1 2 に導通するように形成する。例えば、電極 2 1 2 上にバンプ 2 1 8 を形成し、その上を通るように第 1 の導電層 2 2 0 を形成してもよい。第 1 の導電層 2 2 0 は、樹脂 2 1 6 によって形成された樹脂層上を通るように形成してもよい。半導体チップ 2 1 0 と第 1 の導電層 2 2 0 との間に、絶縁体（膜又は層）が介在していてもよい。また、絶縁層 2 2 6 を、

少なくともその一部が第 1 の導電層 2 2 0 上に配置されるように形成する。第 2 の導電層 2 3 0 を、少なくともその一部が第 1 の導電層 2 2 0 の上方であって絶縁層 2 2 6 上に配置されるように形成する。第 1 及び第 2 の導電層 2 2 0, 2 3 0 は、ポスト 2 4 0 によって電氣的に接続（接合）してもよい。

【 0 1 1 4 】

第 1 及び第 2 の導電層 2 2 0, 2 3 0 並びに絶縁層 2 2 6 の内容は、第 1 の実施の形態で説明した第 1 及び第 2 の導電層 2 0, 4 0 並びに絶縁層 2 6 の内容が該当する。バンプ 2 1 8 も、第 1 の導電層 2 2 0 と同じ方法で形成してもよい。さらに、第 2 の導電層 2 3 0 上に、絶縁層、導電層及びポストを積層してもよい。詳しくは、第 1 及び第 2 の実施の形態で説明した通りである。

【 0 1 1 5 】

こうして、半導体装置を製造することができる。その構成は、上述した製造方法から導くことができる内容を有する。本実施の形態では、第 1 の実施の形態で説明した効果を達成することができる。本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 1 6 】

(第 4 の実施の形態)

図 2 2 (A) ～図 2 2 (C) は、本発明の第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図 2 2 (A) に示すように、第 1 の基板 3 1 0 に半導体チップ 3 0 0 を、その電極 3 0 2 が設けられた面が上を向くように搭載する。第 1 の基板 3 1 0 は、凸部 3 1 2 を有していてもよく、その場合、凸部 3 1 2 に半導体チップ 3 0 0 を搭載してもよい。第 1 の基板 3 1 0 及び半導体チップ 3 0 0 は、接着剤 3 1 4 によって接着してもよい。第 1 の基板 3 1 0 が導電体である場合、その表面に絶縁膜を形成してもよいし、接着剤 3 1 4 によって半導体チップ 3 0 0 との電氣的絶縁を図ってもよい。

【 0 1 1 7 】

また、半導体チップ 3 0 0 を避ける形状を有する（例えば穴 3 2 2 を有する）第 2 の基板 3 2 0 を、第 1 の基板 3 1 0 に取り付ける。穴 3 2 2 の内側に、第 1

の基板 3 1 0 の凸部 3 1 2 を配置してもよい。第 1 及び第 2 の基板 3 1 0, 3 2 0 は、接着剤 3 1 4 によって接着してもよい。第 2 の基板（例えばガラス板・セラミック基板）3 2 0 の熱膨張係数は、第 1 の基板（例えば金属板）3 1 0 よりも、半導体チップ 3 0 0 の熱膨張係数に近いものであってもよい。第 1 の基板 3 1 0 は、放熱板であってもよい。

【 0 1 1 8 】

穴 3 2 2 の内側には、樹脂 3 1 6 を充填してもよい。こうして、図 2 2 (B) に示すように、穴 3 2 2 内に、樹脂 3 1 6 によって樹脂層を形成してもよい。

【 0 1 1 9 】

図 2 2 (C) に示すように、半導体チップ 3 0 0 の電極 3 0 2 に導通するように、第 2 の基板 3 2 0 及び半導体チップ 3 0 0 の上方に、第 1 の導電層 2 2 0 を形成する。その後の工程は、第 3 の実施の形態で説明した内容と同じであるため説明を省略する。こうして、半導体装置を製造することができる。その構成は、上述した製造方法から導くことができる内容を有する。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 2 0 】

（第 5 の実施の形態）

図 2 3 は、本発明の第 5 の実施の形態に係る配線基板を説明する図である。本実施の形態では、基板 4 0 0 は、絶縁部（例えばセラミック、エポキシ又はポリイミド等の樹脂から構成された部分）4 0 2 と、絶縁部 4 0 2 を貫通する導電部（例えば金属からなる部分）4 0 4 と、を有する。導電部 4 0 4 の絶縁部 4 0 2 からの露出面は、ランドの形状であってもよい。

【 0 1 2 1 】

絶縁部 4 0 2 及び導電部 4 0 4 に、導電部 4 0 4 と電氣的に導通するように、第 1 の導電層 4 1 0 を形成する。例えば、導電部 4 0 4 上にポスト 4 1 2 を形成し、その上を通るように第 1 の導電部 4 1 0 を形成してもよい。その後の工程は、第 1 ～第 4 の実施の形態で説明した内容が該当する。すなわち、第 1 の導電層

4 1 0 上に、絶縁層及び導電層を積層して、高密度の配線構造を形成する。

【 0 1 2 2 】

そして、図 2 4 に示すように、半導体チップ 4 2 0 を、パッド 4 3 0 に電氣的に接続する。こうして半導体装置を製造することができる。必要であれば、半導体チップ 4 2 0 には、放熱板 4 4 0 を取り付けてもよい。また、導電部 4 0 4 には、ハンダボール等のろう材 4 5 0 を設けてもよい。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 2 3 】

(第 6 の実施の形態)

図 2 5 (A) ～図 2 5 (B) は、本発明の第 6 の実施の形態に係る配線基板を説明する図である。本実施の形態では、図 2 5 (A) に示すように、基板 (金属板、ガラス基板又はレジスト膜) 5 0 0 に、第 1 の導電層 5 1 0 を形成し、その上に絶縁層及び導電層を積層して、高密度の配線構造を形成する。詳しくは、第 1 ～第 5 の実施の形態で説明した。

【 0 1 2 4 】

そして、図 2 5 (B) に示すように、第 1 の導電層 5 1 0 から (詳しくは第 1 の導電層 5 1 0 を含む積層基板から) 基板 5 0 0 を剥離する。こうして、配線基板を得ることができる。この配線基板に半導体チップを搭載して、半導体装置を製造することができる。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 2 5 】

(第 7 の実施の形態)

図 2 6 (A) ～図 2 6 (C) は、本発明の第 7 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図 2 6 (A) に示すように、複数の集積回路 6 0 2 が形成された半導体ウエハ 6 0 0 に、その電極 6 0 4 と

導通するように第 1 の導電層 6 1 0 を形成し、その上に絶縁層及び導電層を積層して、高密度の配線構造を形成する。詳しくは、第 1 ～第 6 の実施の形態で説明した。また、必要に応じて、ハンダボール等のろう材 6 2 0 を設ける。

【 0 1 2 6 】

そして、図 2 6 (B) に示すように、半導体ウエハ 6 0 0 を切断して、図 2 6 (C) に示すように、半導体装置を製造することができる。半導体装置は、半導体チップ 6 3 0 と、その上に絶縁層及び導電層を積層して形成された高密度の配線構造と、ろう材 6 2 0 と、を有する。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。本実施の形態には、他の実施の形態で説明した内容を適用することができる。また、本実施の形態の内容を他の実施の形態に適用することもできる。

【 0 1 2 7 】

(第 8 の実施の形態)

図 2 7 (A) ～図 2 7 (B) は、本発明の実施の形態に適用することができる電子部品の製造方法を説明する図である。電子部品は、第 1 の導電層を形成する面、絶縁層又は第 2 の絶縁層のいずれかの上に形成することができる。

【 0 1 2 8 】

本実施の形態に係る電子部品の製造方法は、1 つの電気部品を構成する複数の部品のそれぞれを、材料の微粒子を含む溶媒の液滴を吐出して形成することを含む。例えば、図 2 7 (A) 及び図 2 7 (B) に示すように、第 1, 第 2 及び第 3 の層 7 0 1, 7 0 2, 7 0 3 を形成する。第 1, 第 2 及び第 3 の層 7 0 1, 7 0 2, 7 0 3 は、積層して形成してもよいし、隣接させて形成してもよい。

【 0 1 2 9 】

コンデンサを形成する場合には、第 1 及び第 3 の層 7 0 1, 7 0 3 を導電体で形成し、第 2 の層 7 0 2 を絶縁体で形成する。第 1 及び第 3 の層 7 0 1, 7 0 3 を金で形成するときには、真空冶金株式会社製「パーフェクトゴールド」を使用することができ、銀で形成するときには、同社製「パーフェクトシルバー」を使用することができる。第 2 の層 7 0 2 を形成するための絶縁性材料としては、 SiO_2 や Al_2O_3 、誘電体である SrTiO_3 、 BaTiO_3 、 $\text{Pb}(\text{Zr}, \text{T})$

i) O_3 等がある。溶媒としては、PGMEA、シクロヘキサン、カルビトールアセテート等が挙げられる。湿潤剤またはバインダとして、グリセリン、ジエチレングリコール、エチレングリコール等を必要に応じて加えてもよい。また絶縁性材料を含む流動体として、ポリシラザンや絶縁体材料を含む金属アルコキシドを用いても良い。この場合には加熱や化学反応などによって絶縁体材料を形成することができる。第2の層702の幅、長さおよび絶縁性材料の誘電率は、形成するコンデンサの容量に応じて定める。コンデンサの容量は、対向電極となる第1及び第3の層701、703の面積及び間隙並びに第2の層702の誘電率により定まる。第1、第2又は第3の層701、702、703の厚みを厚くする場合には一旦固化した層上にさらに同一の流動体を吐出し固化させるというように積層すればよい。

【0130】

第1、第2及び第3の層701、702、703の少なくとも1つは、抵抗器であってもよい。抵抗材料としては、導電性粉末と絶縁性粉末との混合、Ni-Cr、Cr-SiO、Cr-MgF、Au-SiO₂、AuGgF、PtTa₂O₅、AuTa₂O₅Ta₂、Cr₃Si、TaSi₂等が挙げられ、その溶媒としては、PGMEA、シクロヘキサン、カルビトールアセテート等が挙げられる。湿潤剤またはバインダとして、グリセリン、ジエチレングリコール、エチレングリコール等を必要に応じて加えてもよい。また絶縁性材料を含む流動体として、ポリシラザンや絶縁体材料を含む金属アルコキシドを用いてもよい。この場合には加熱や化学反応などによって絶縁体材料を形成することができる。抵抗材料は形成したい抵抗器の抵抗値に応じて決める。なお、抵抗膜の幅、高さおよび長さについては形成したい抵抗器の抵抗値に応じて決める。抵抗器の抵抗値は長さに比例し断面積に反比例するからである。

【0131】

あるいは、第1の実施の形態等で説明した第1の導電層20の一部を、抵抗材料で形成してもよい。また、ダイオードやトランジスタも形成することができる。その場合、第1、第2及び第3の層701、702、703を、半導体材料の微粒子を含む溶媒の液滴を吐出して形成する。

【 0 1 3 2 】

図 2 8 には、上述したいずれかの実施の形態で説明した半導体装置 1 が実装された回路基板 1 0 0 0 が示されている。半導体装置を有する電子機器として、図 2 9 にはノート型パーソナルコンピュータ 2 0 0 0 が示され、図 3 0 には携帯電話 3 0 0 0 が示されている。

【 0 1 3 3 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】

図 1 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 2】

図 2（A）～図 2（B）は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 3】

図 3（A）～図 3（B）は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 4】

図 4 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 5】

図 5 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 6】

図 6 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 7】

図 7 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 8】

図 8 は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 9】

図 9 (A) ～図 9 (B) は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 1 0】

図 1 0 (A) ～図 1 0 (B) は、本発明を適用した第 1 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 1 1】

図 1 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 2】

図 1 2 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 1 3】

図 1 3 は、本発明を適用した第 2 の実施の形態に係る配線基板を説明する図である。

【図 1 4】

図 1 4 は、本発明を適用した第 2 の実施の形態に係る半導体装置を説明する図である。

【図 1 5】

図 1 5 (A) ～図 1 5 (B) は、本発明を適用した第 2 の実施の形態に係る配

線基板の製造方法を説明する図である。

【図 1 6】

図 1 6 (A) ～図 1 6 (B) は、本発明を適用した第 2 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 1 7】

図 1 7 (A) ～図 1 7 (B) は、本発明を適用した第 2 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 1 8】

図 1 8 (A) ～図 1 8 (B) は、本発明を適用した第 2 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 1 9】

図 1 9 は、本発明を適用した第 2 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 2 0】

図 2 0 は、本発明を適用した第 2 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 2 1】

図 2 1 (A) ～図 2 1 (C) は、本発明を適用した第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2 2】

図 2 2 (A) ～図 2 2 (C) は、本発明を適用した第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2 3】

図 2 3 は、本発明を適用した第 5 の実施の形態に係る配線基板を説明する図である。

【図 2 4】

図 2 4 は、本発明を適用した第 5 の実施の形態に係る半導体装置を説明する図である。

【図 2 5】

図 2 5 (A) ~ 図 2 5 (B) は、本発明を適用した第 6 の実施の形態に係る配線基板の製造方法を説明する図である。

【図 2 6】

図 2 6 (A) ~ 図 2 6 (C) は、本発明を適用した第 7 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2 7】

図 2 7 (A) ~ 図 2 7 (B) は、本発明を適用した第 8 の実施の形態に係る電子部品の製造方法を説明する図である。

【図 2 8】

図 2 8 は、本発明を適用した実施の形態に係る半導体装置が実装されてなる回路基板を示す図である。

【図 2 9】

図 2 9 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 3 0】

図 3 0 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

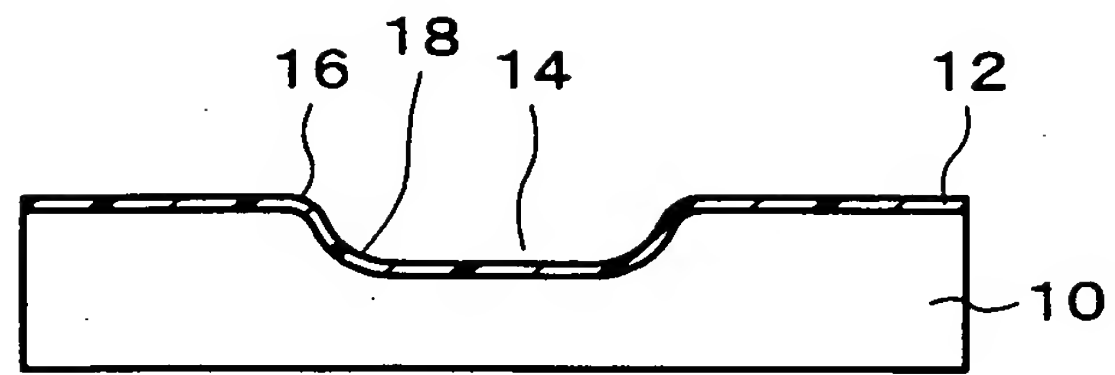
【符号の説明】

- 1 0 基板
- 1 4 凹部
- 2 0 第 1 の導電層
- 2 6 絶縁層
- 3 0 ポスト
- 4 0 第 2 の導電層
- 4 6 第 2 の絶縁層
- 8 0 半導体チップ

【書類名】

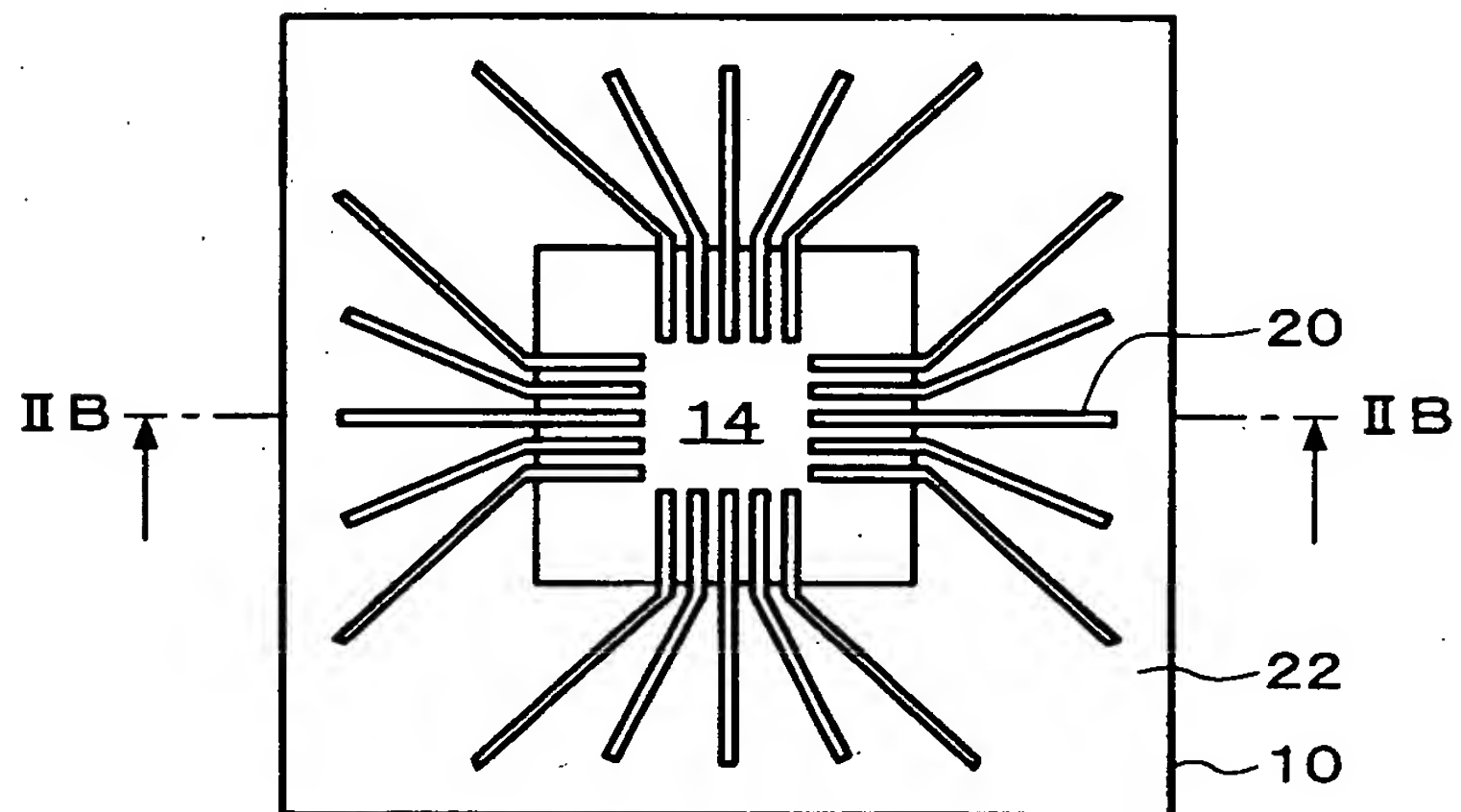
図面

【図1】

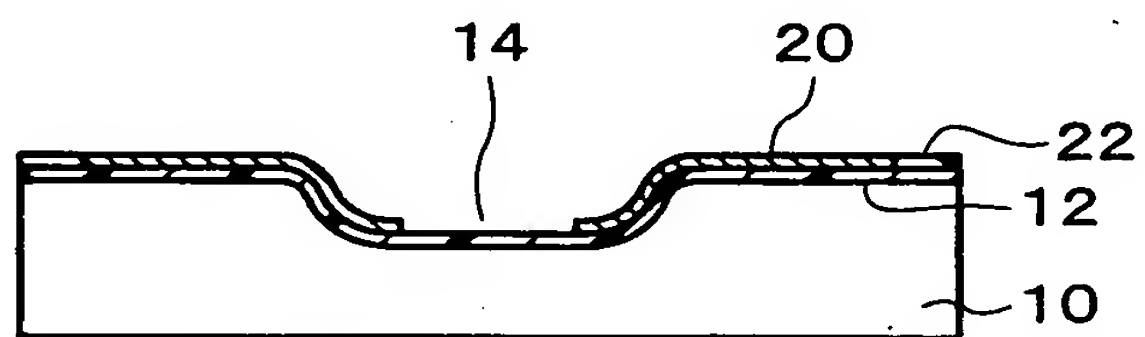


【図2】

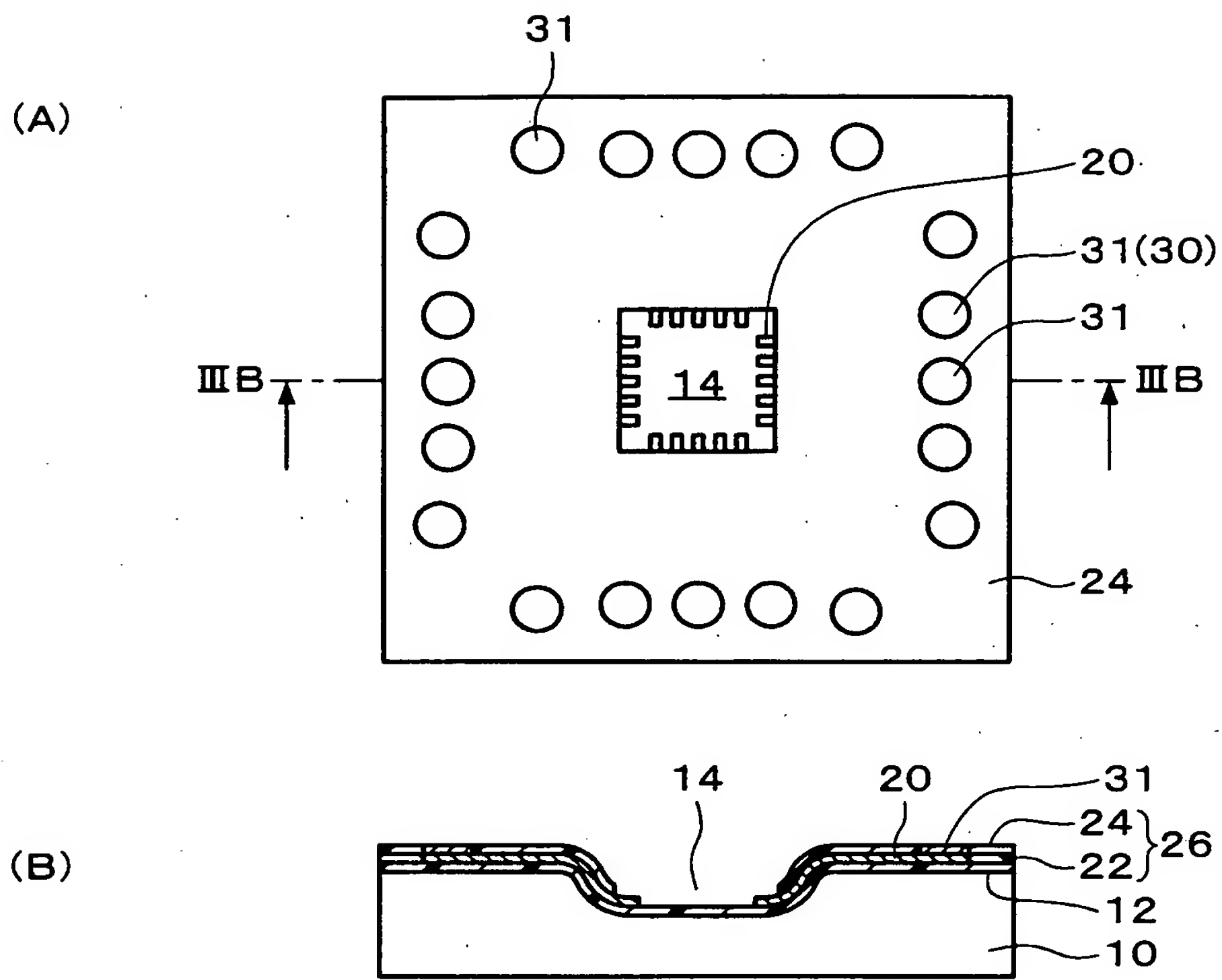
(A)



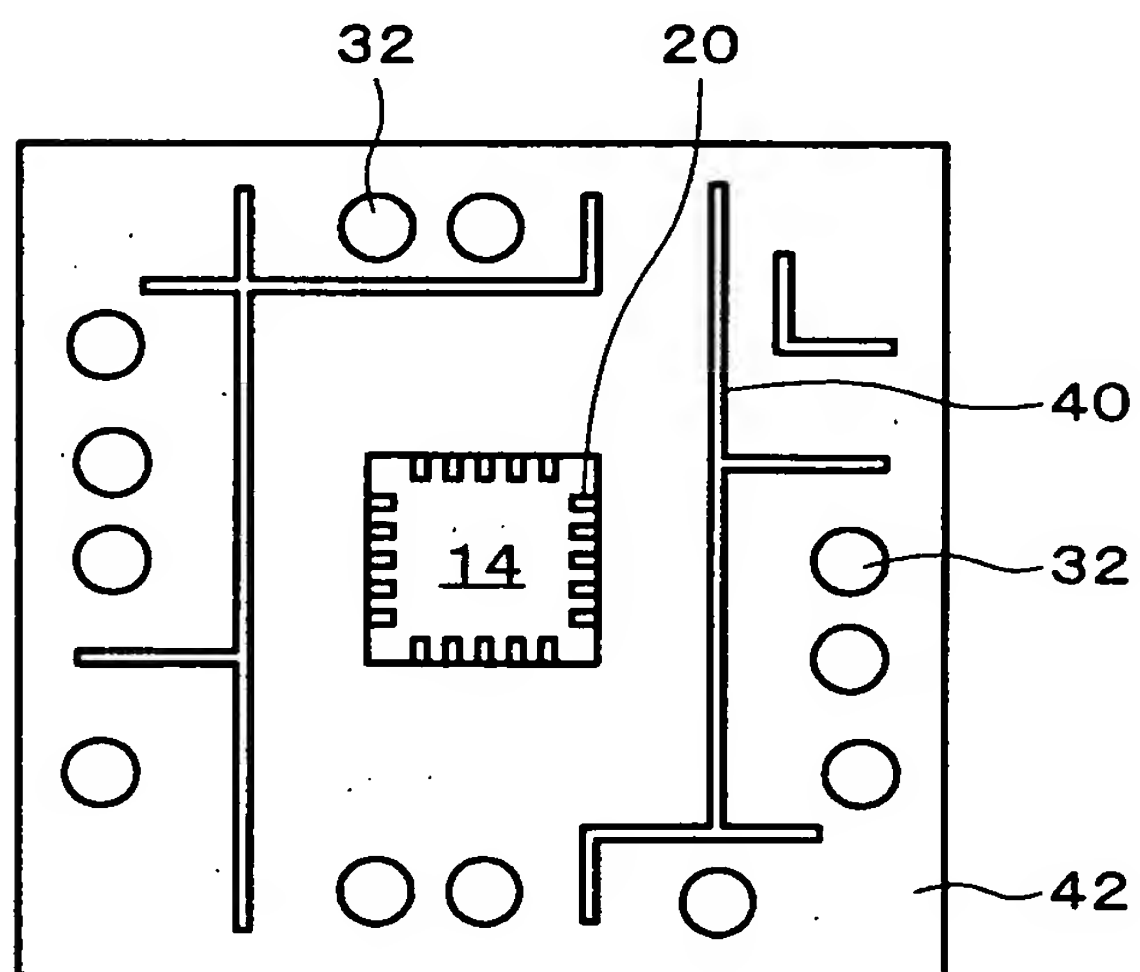
(B)



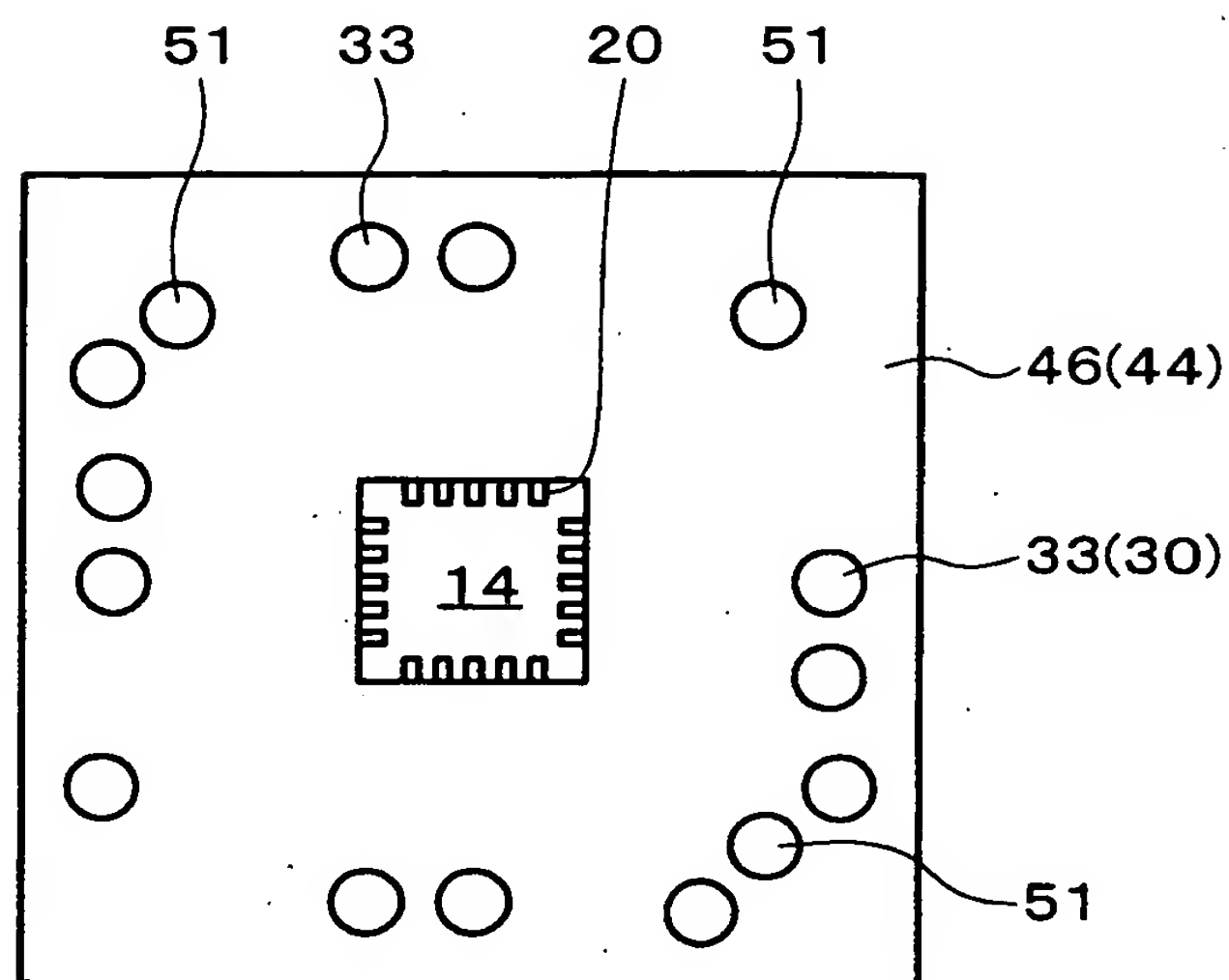
【図 3】



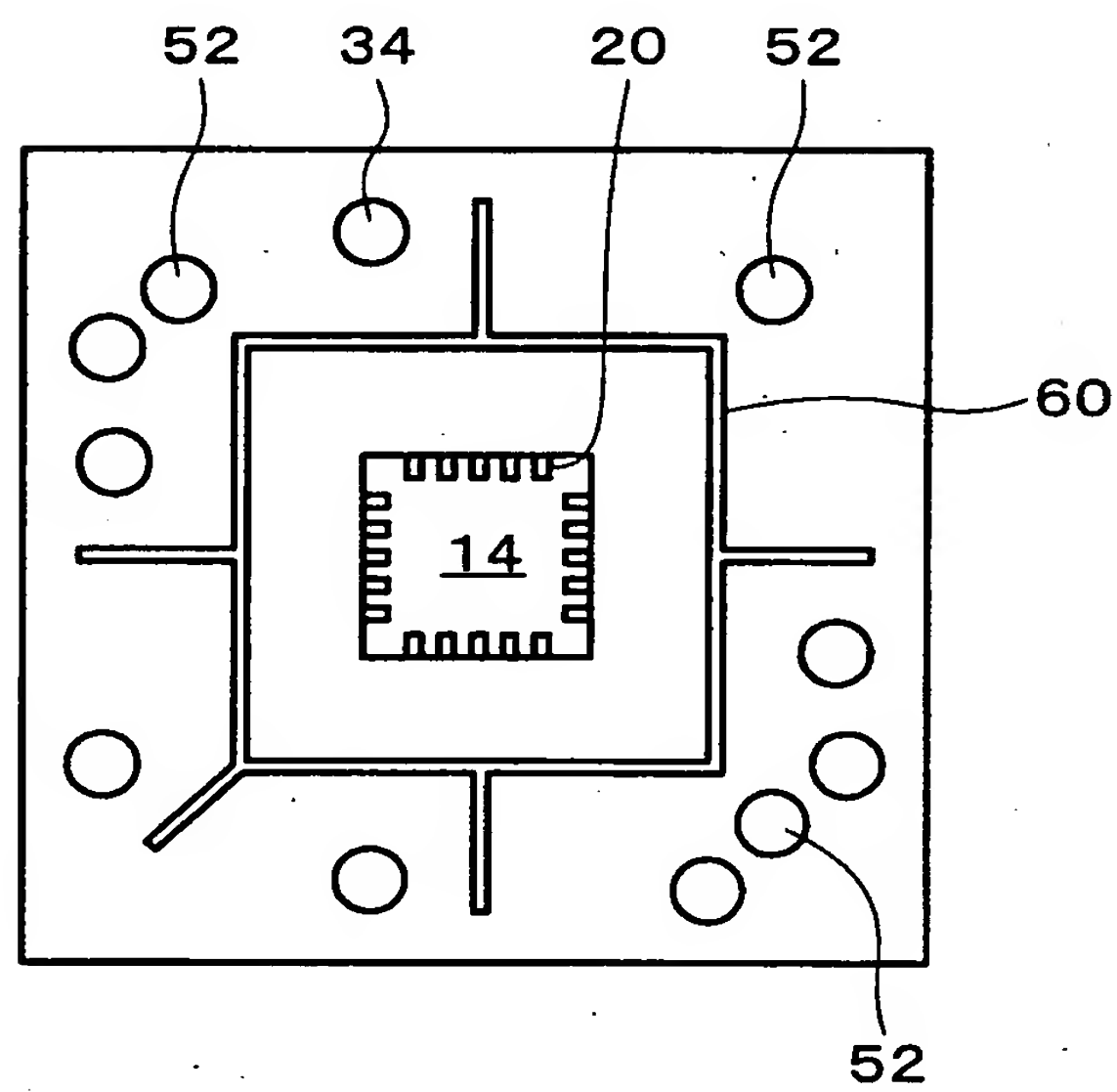
【図 4】



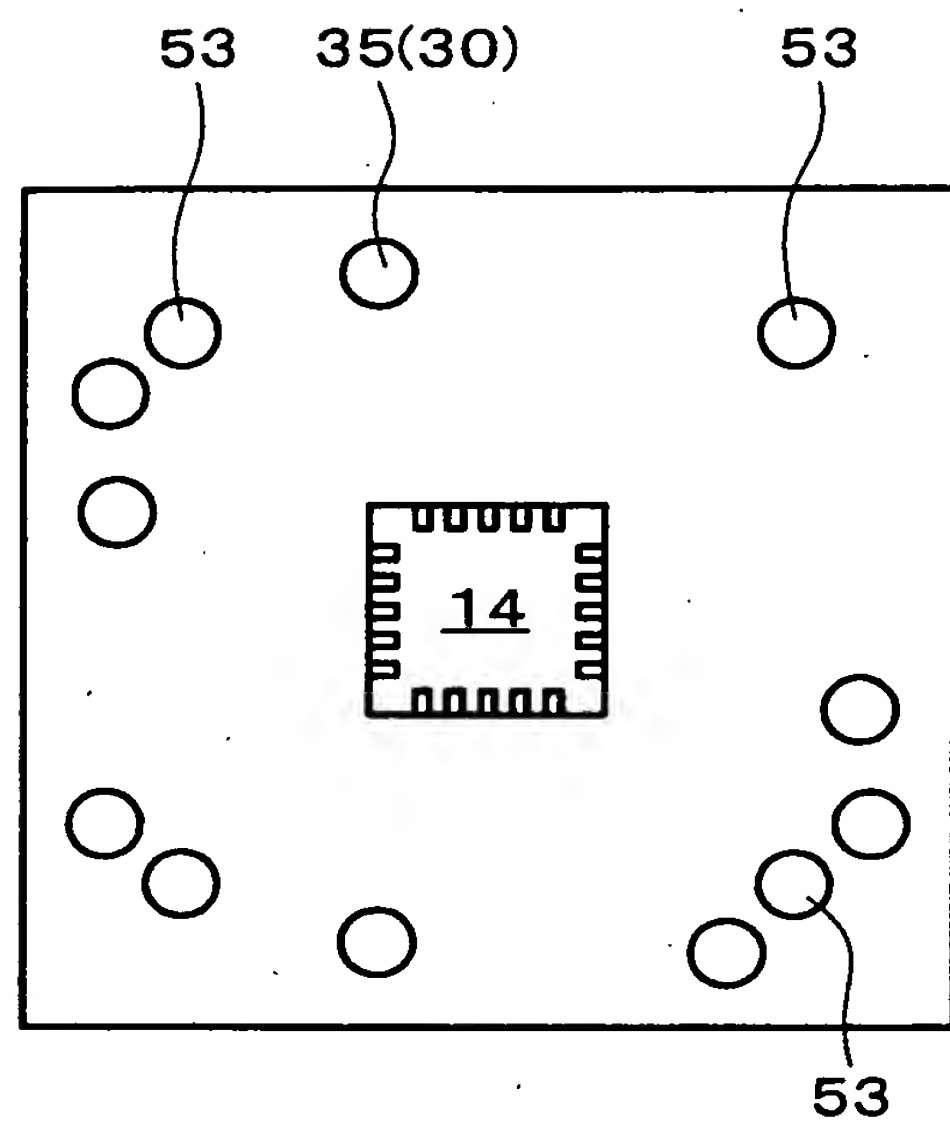
【図 5】



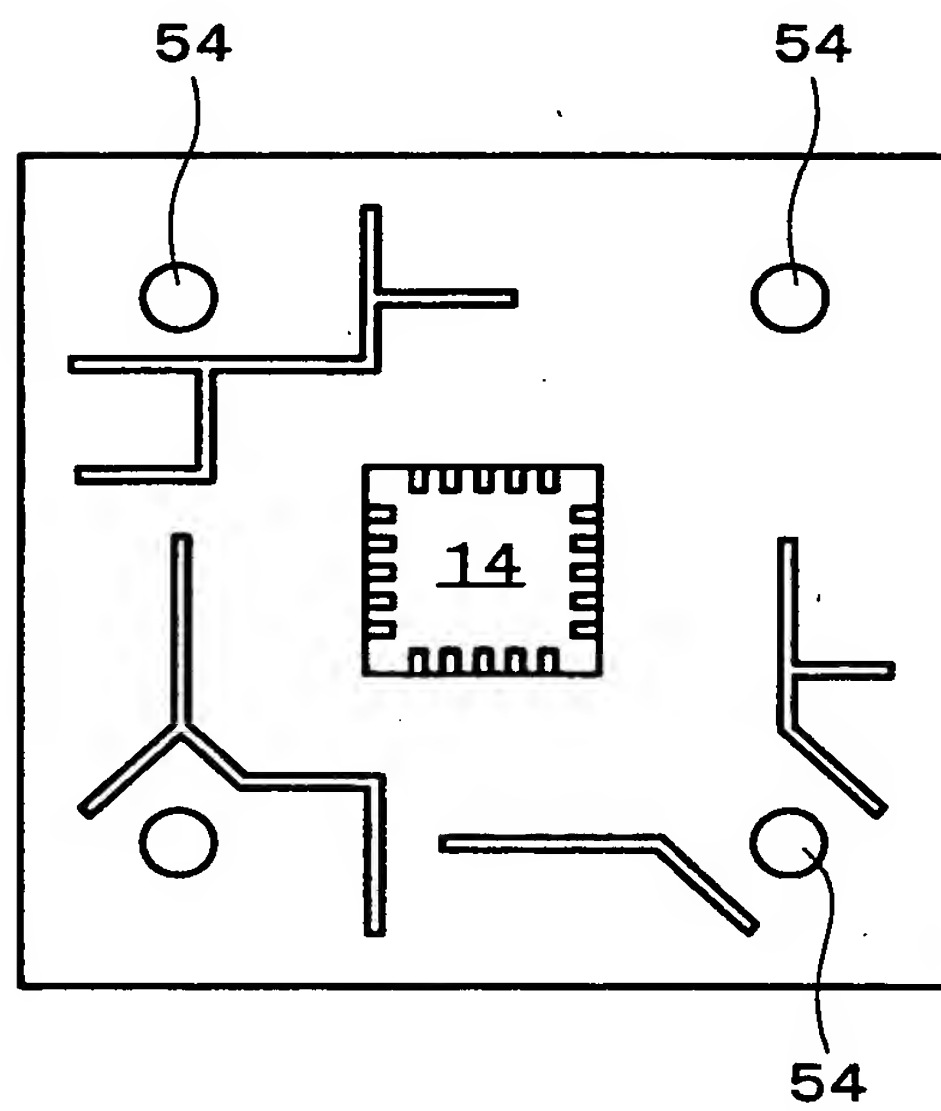
【図 6】



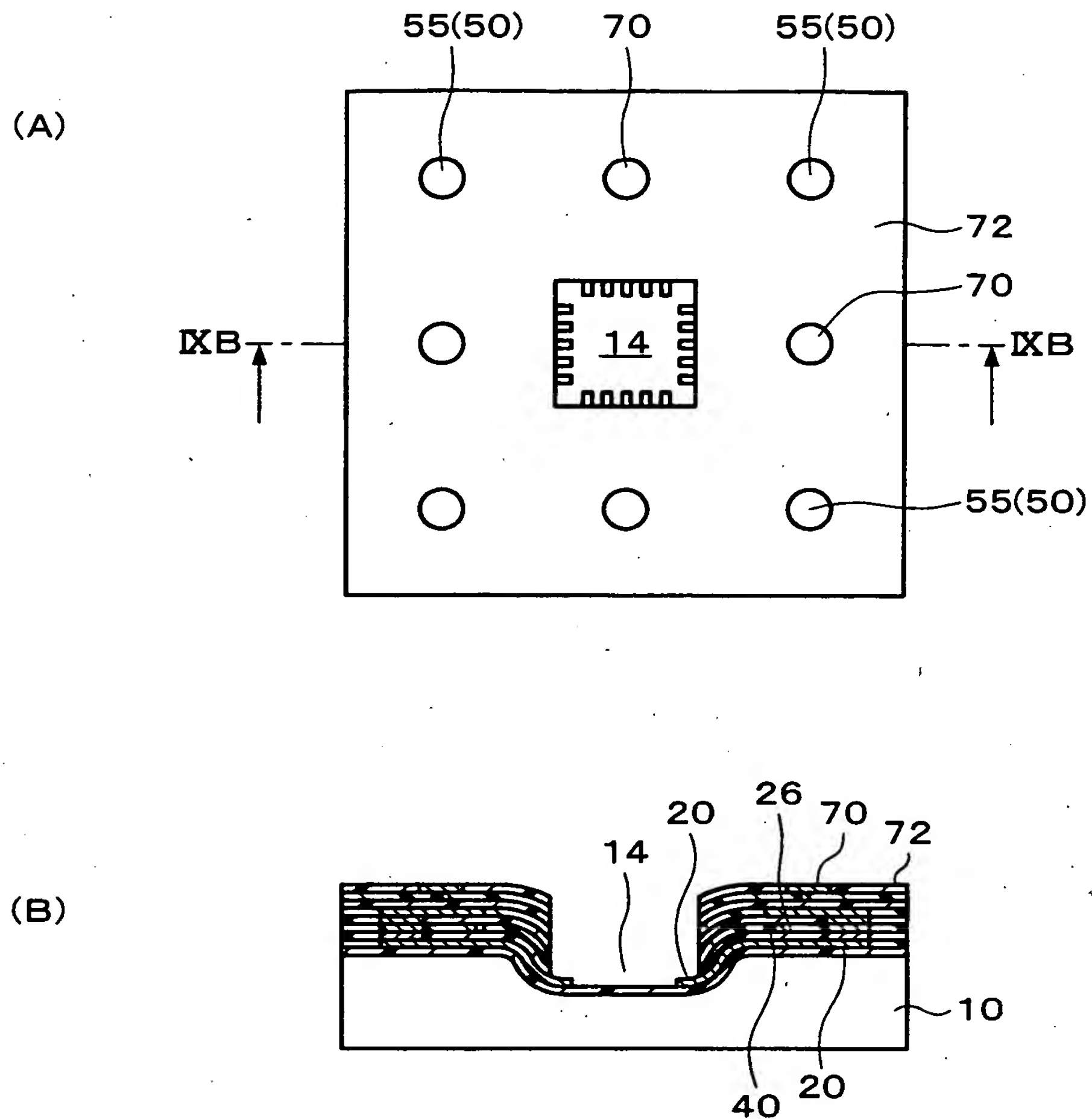
【図 7】



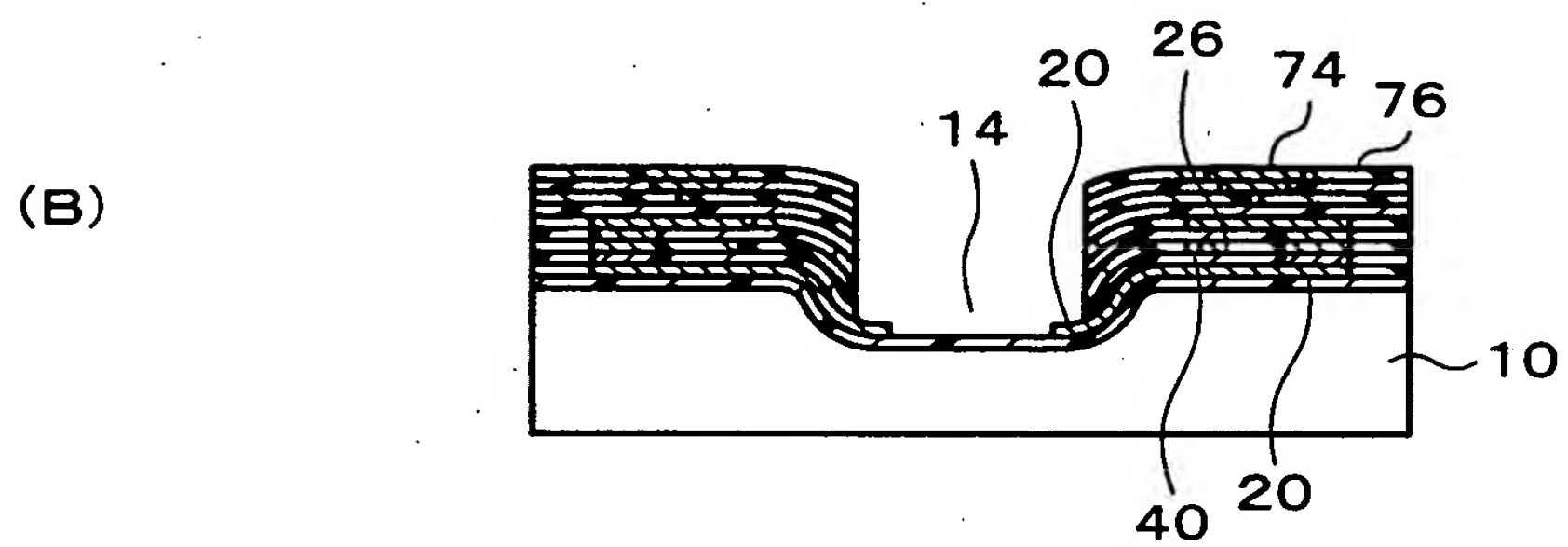
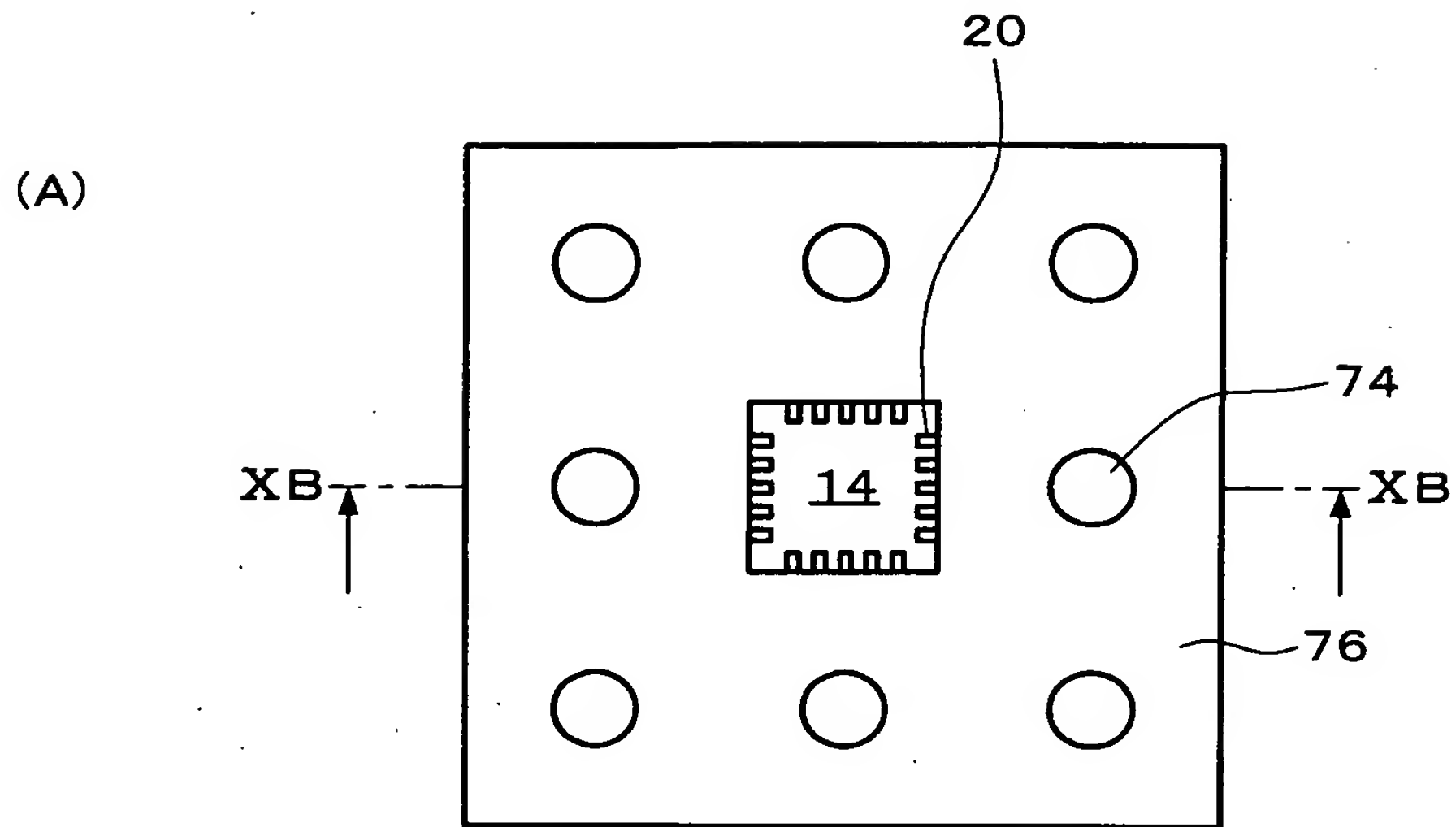
【図 8】



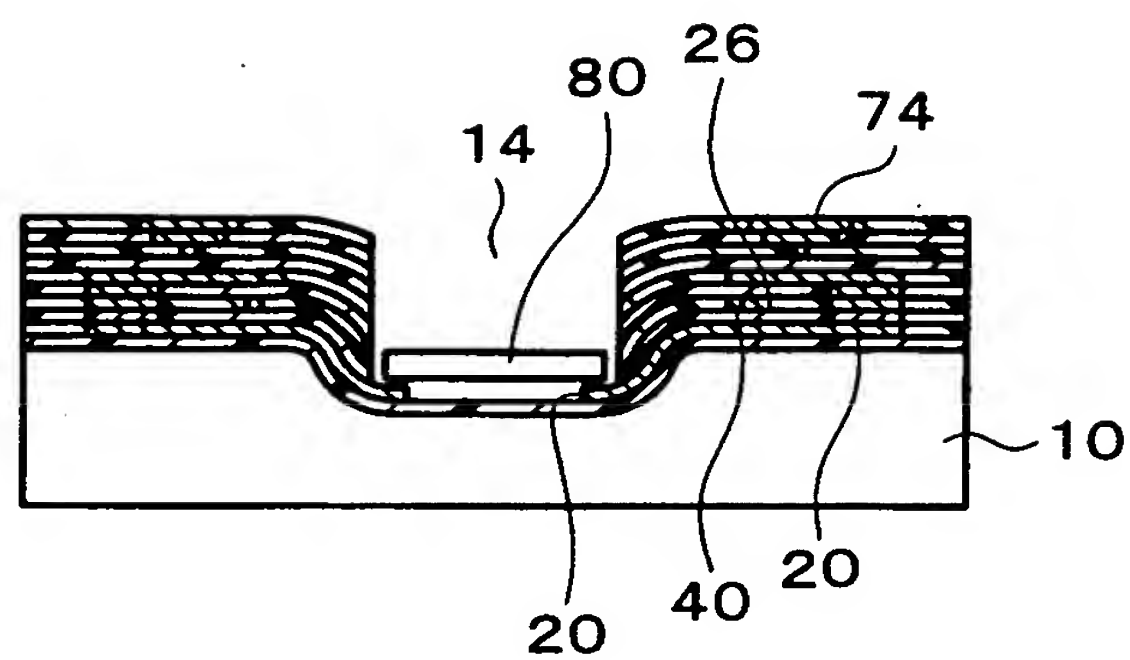
【図 9】



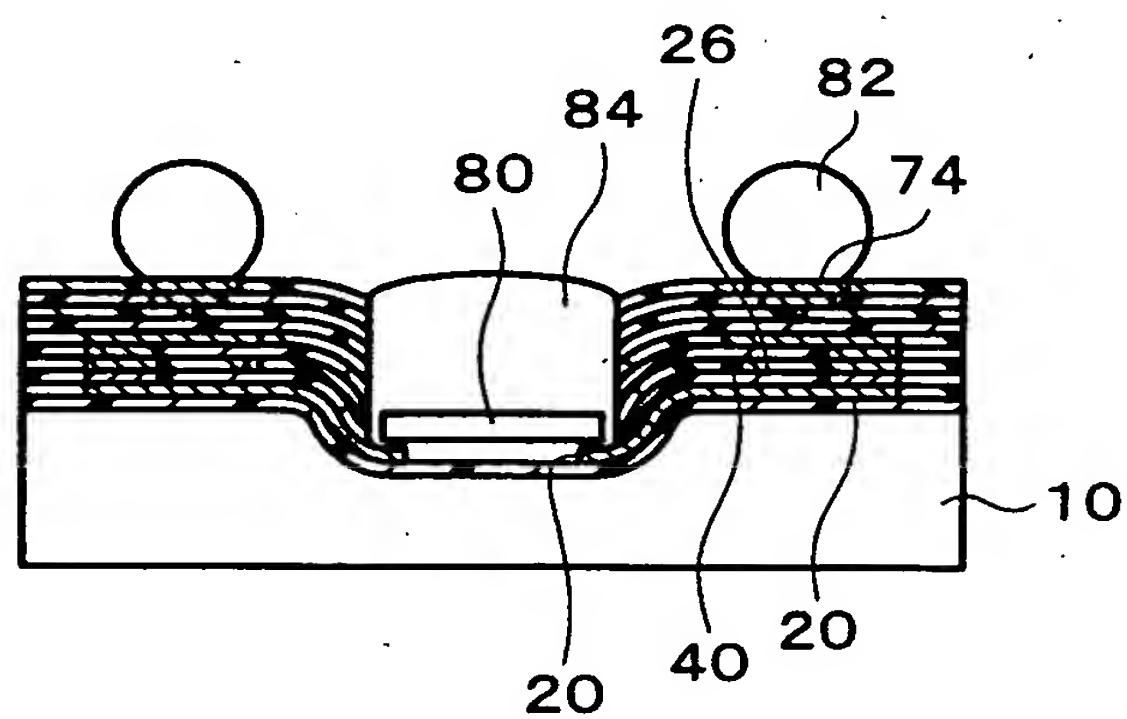
【図 10】



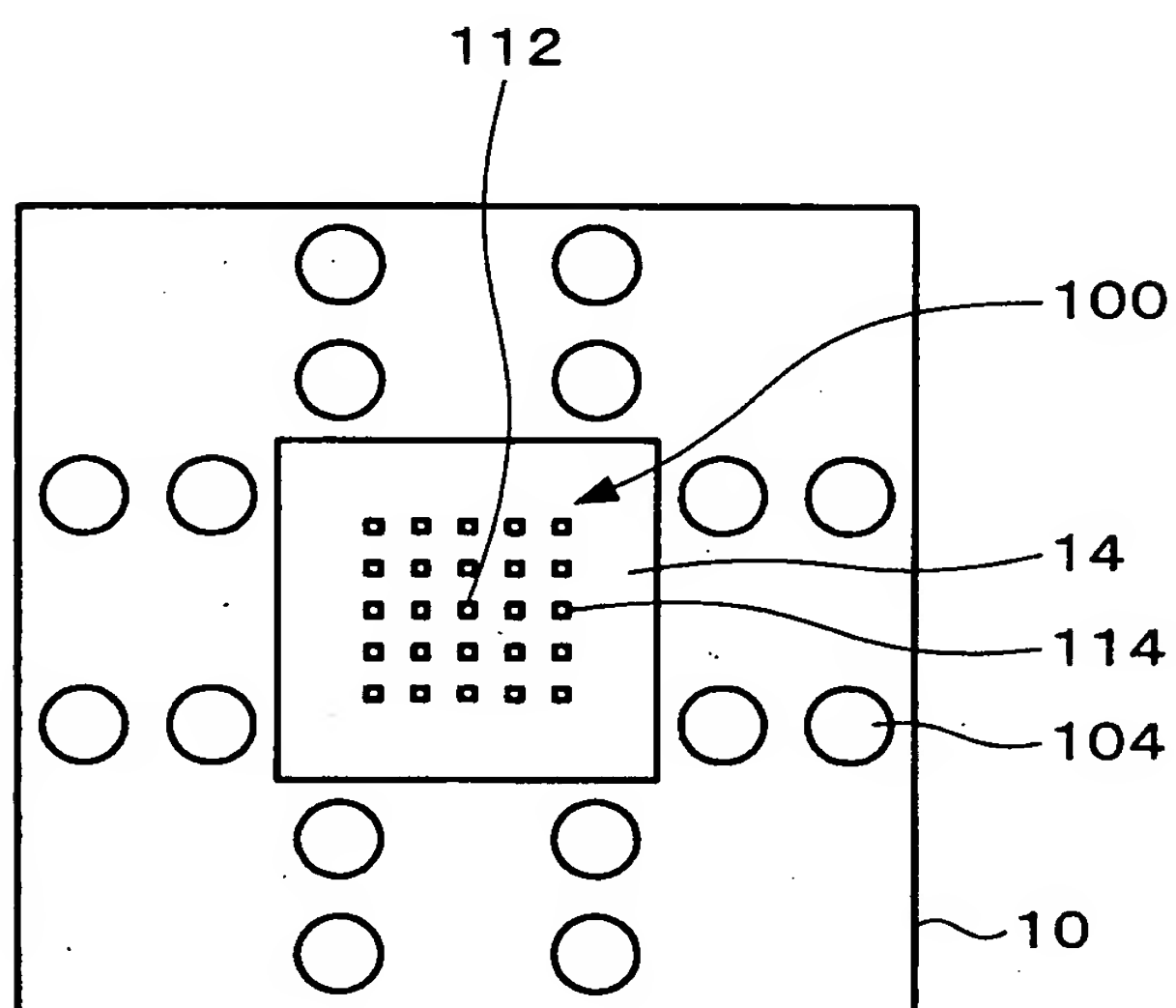
【図 1 1】



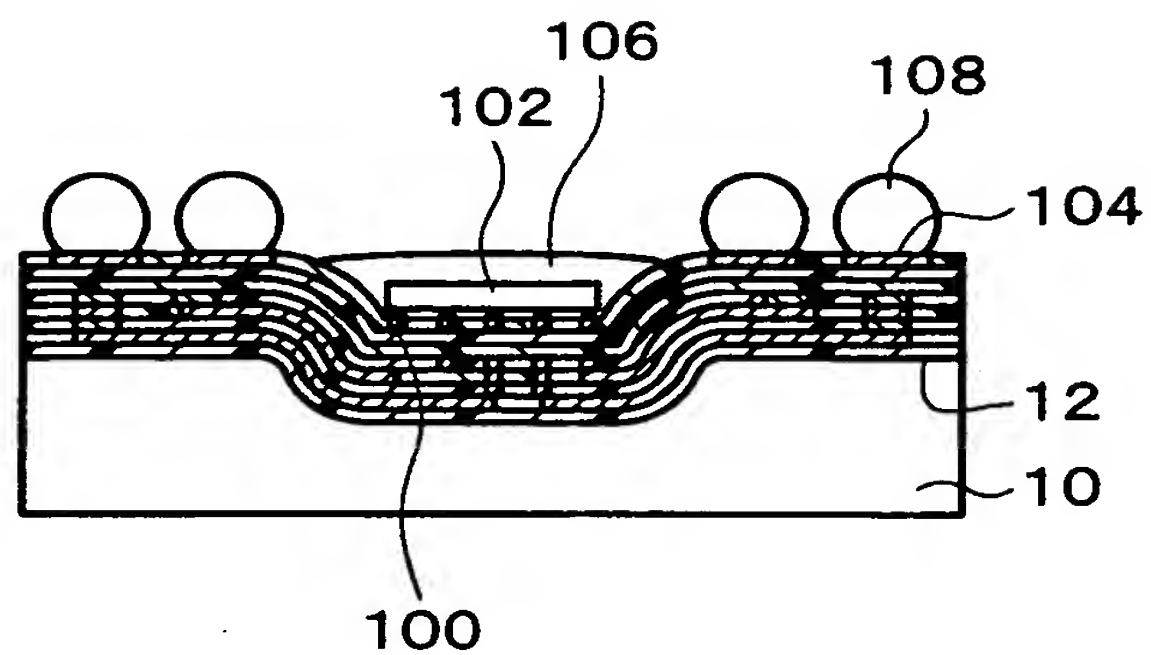
【図 1 2】



【図 1 3】

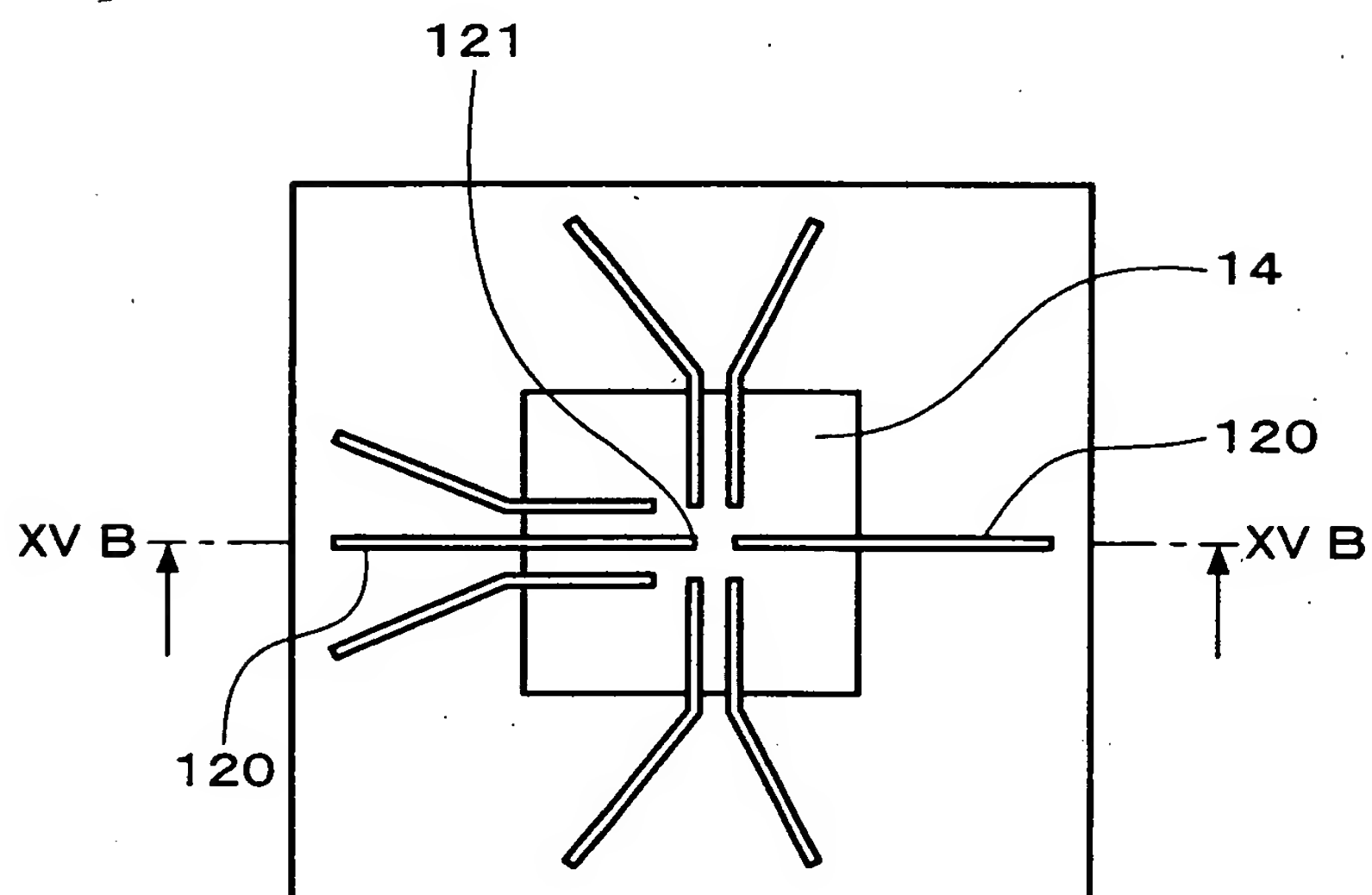


【図 14】

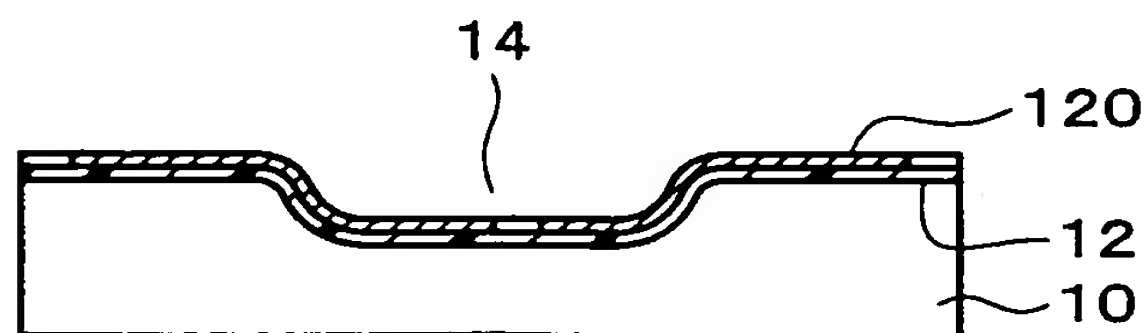


【図 15】

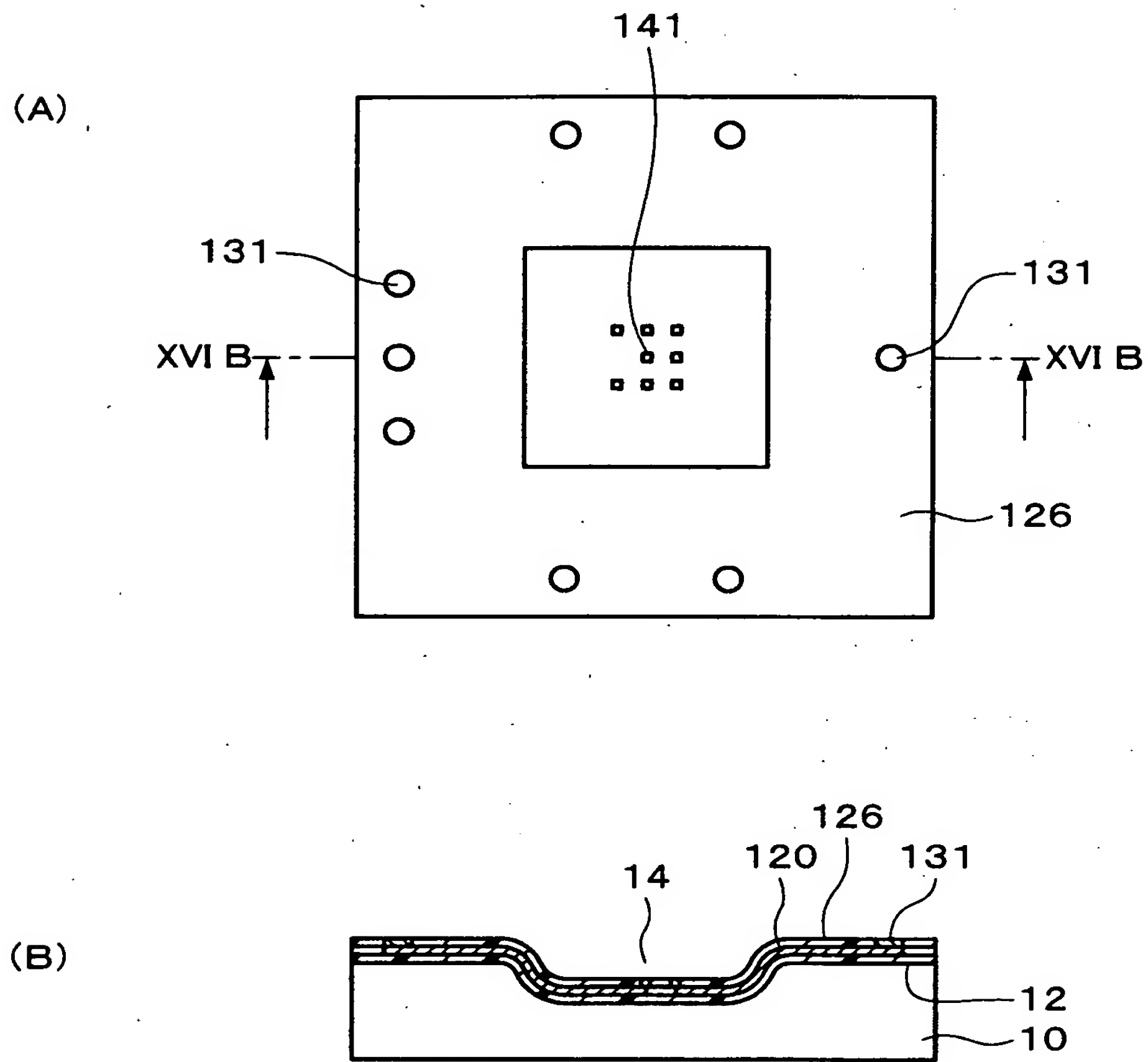
(A)



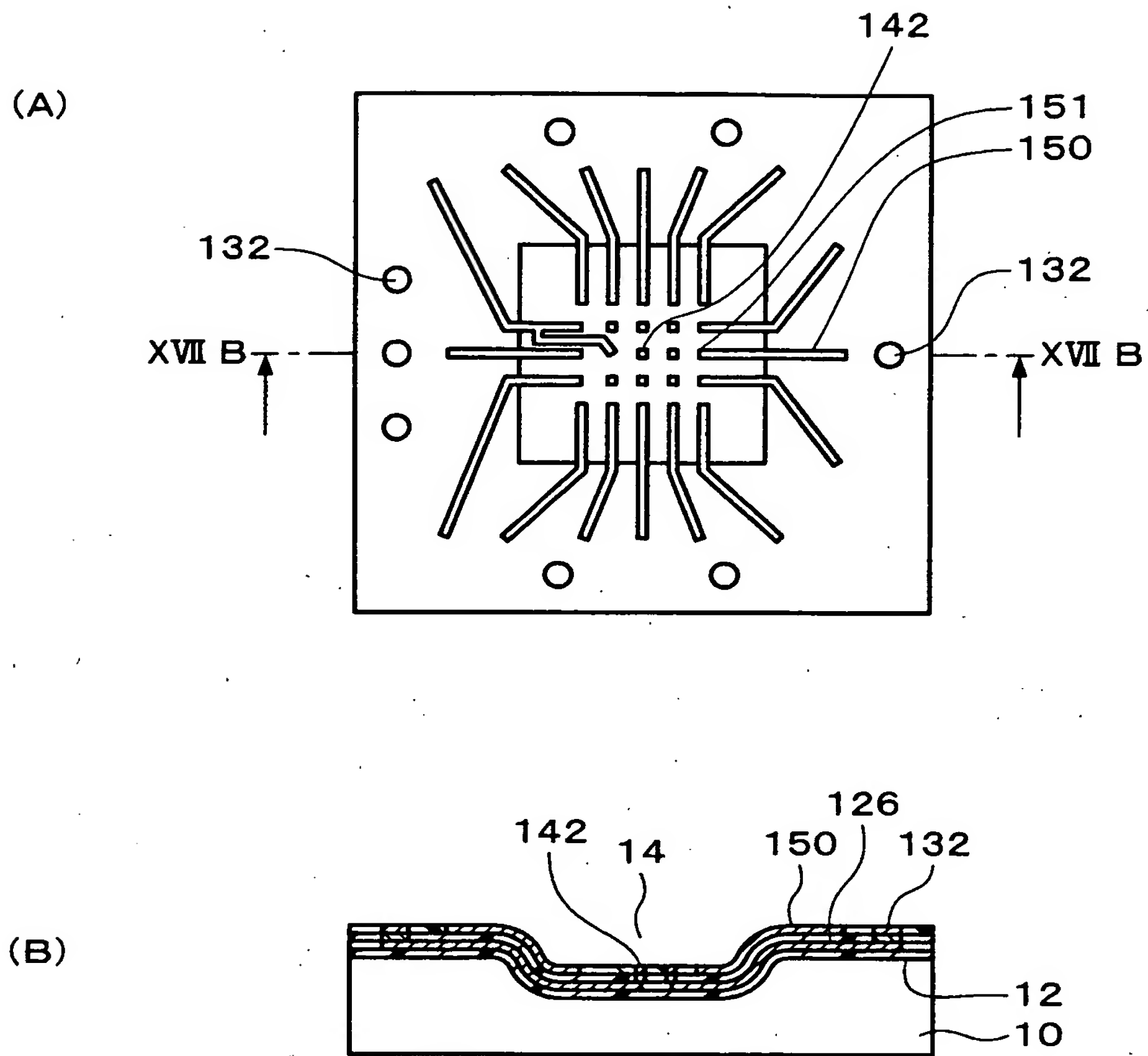
(B)



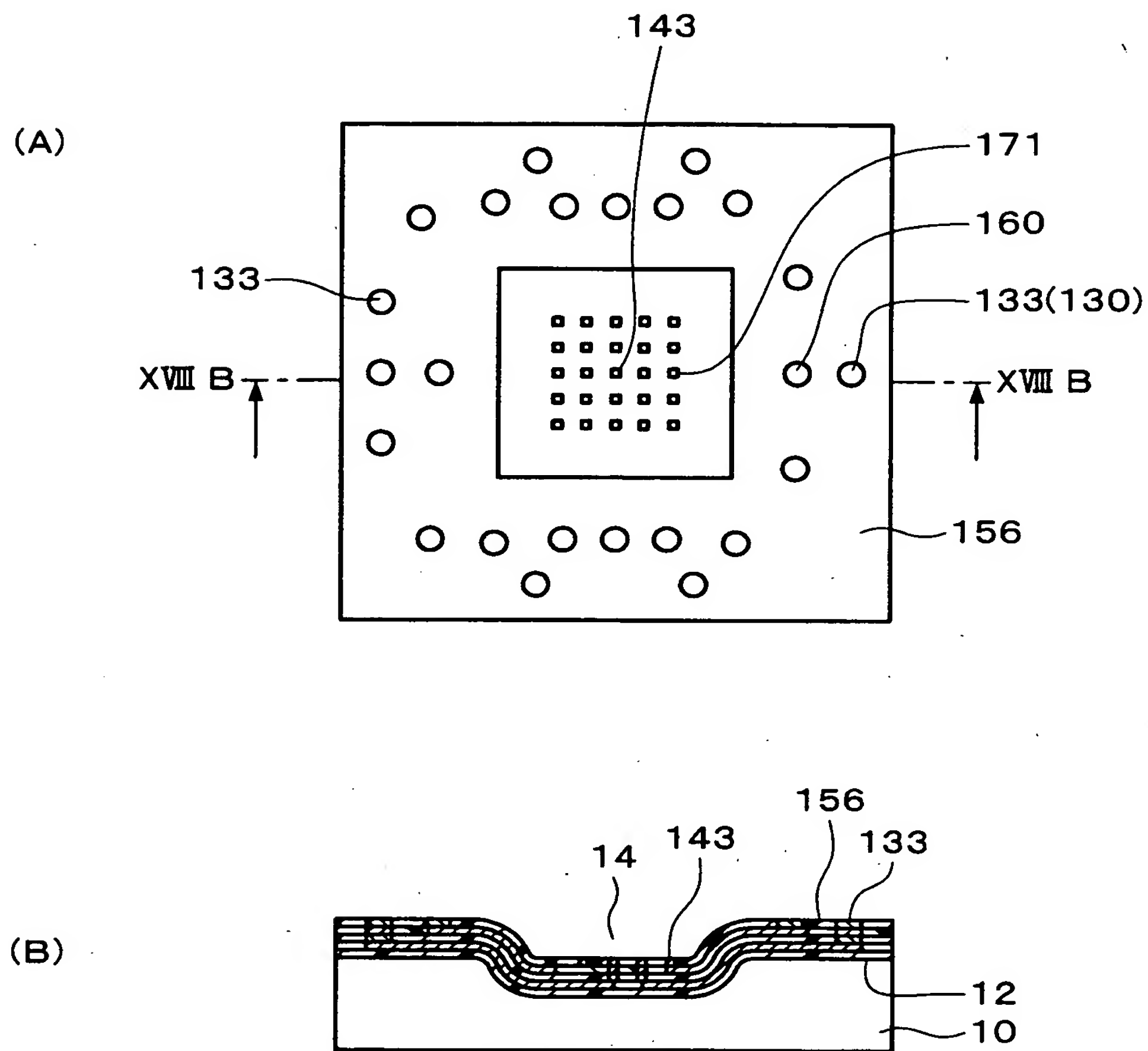
【図 16】



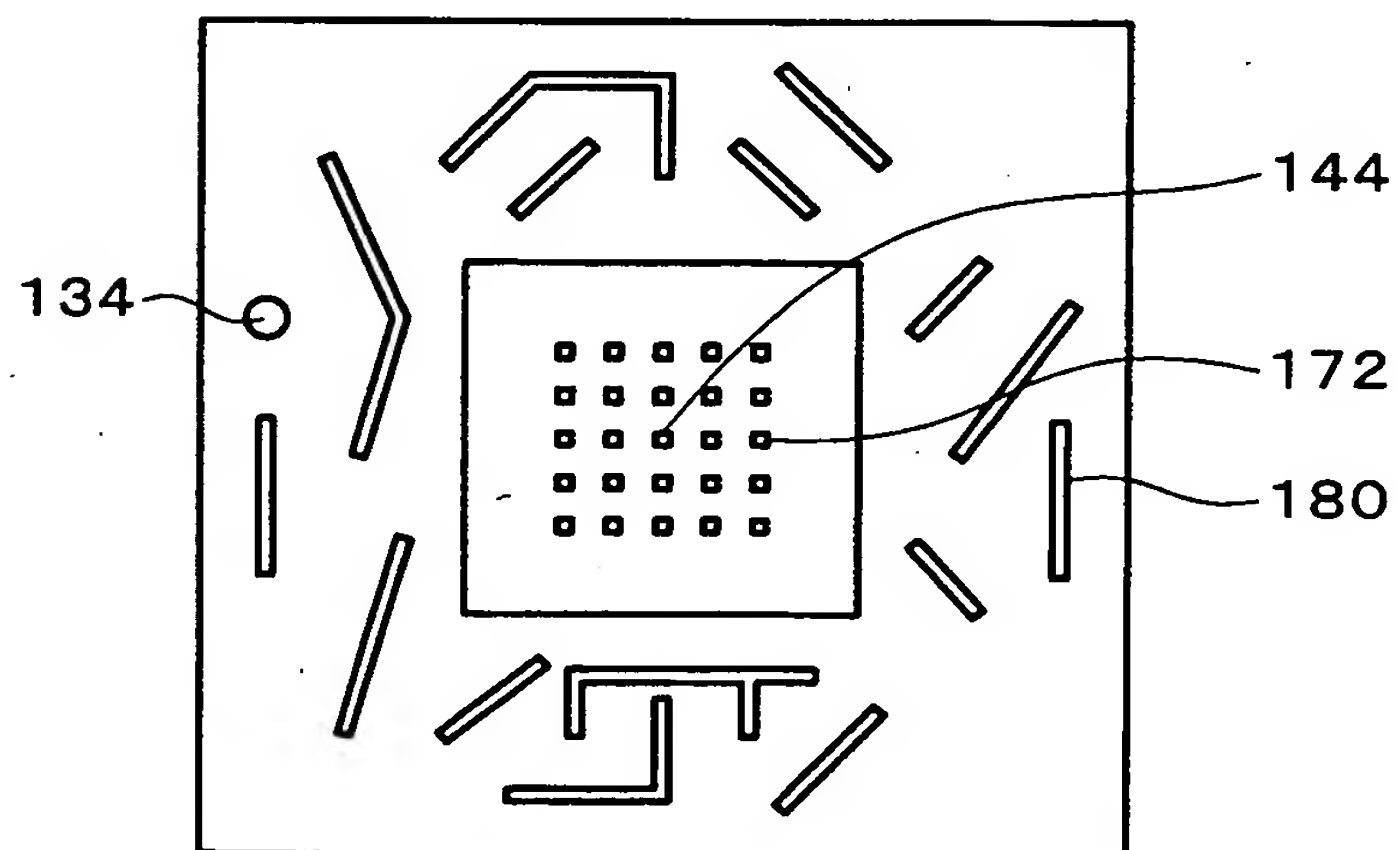
【図 17】



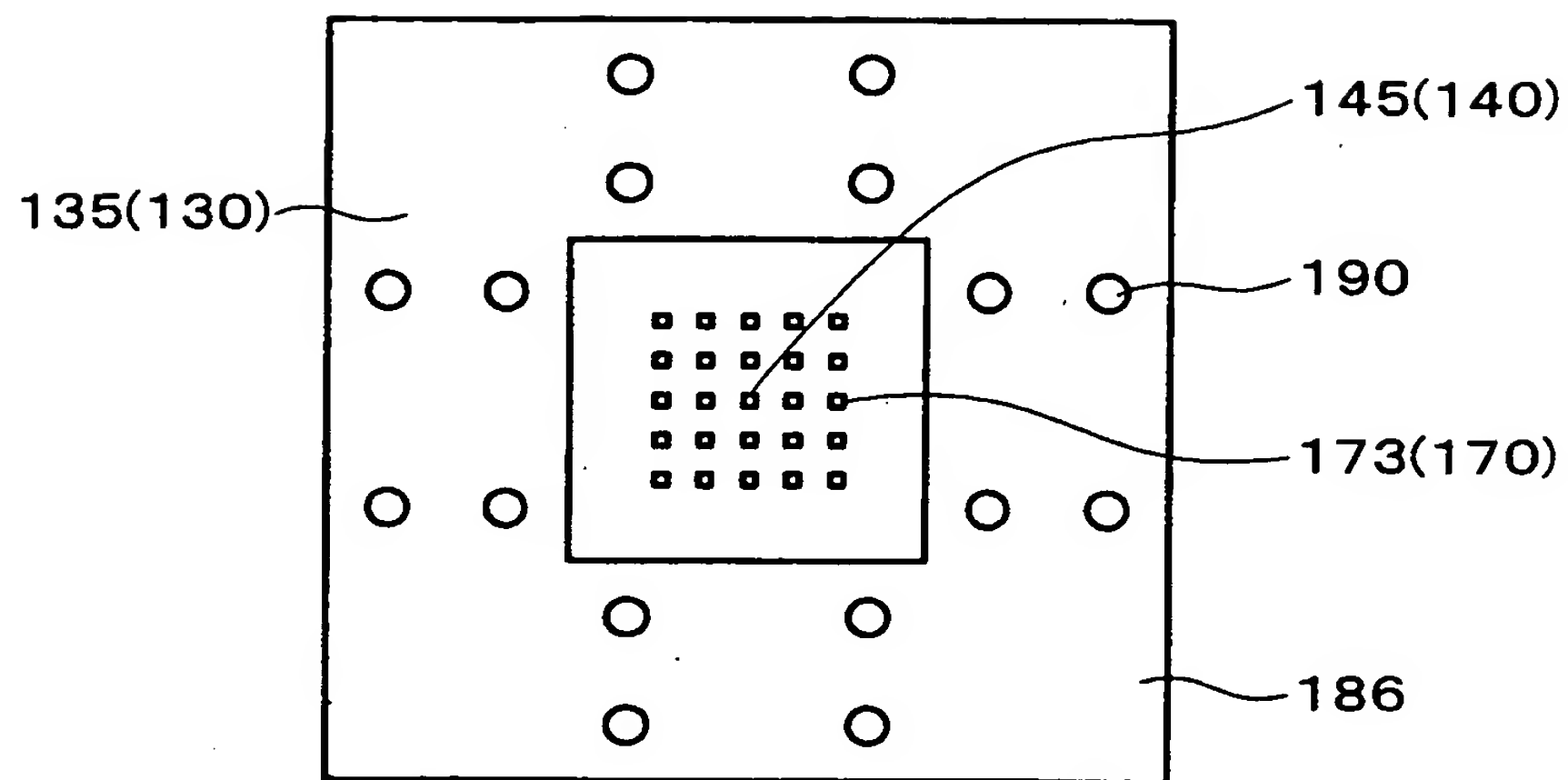
【図18】



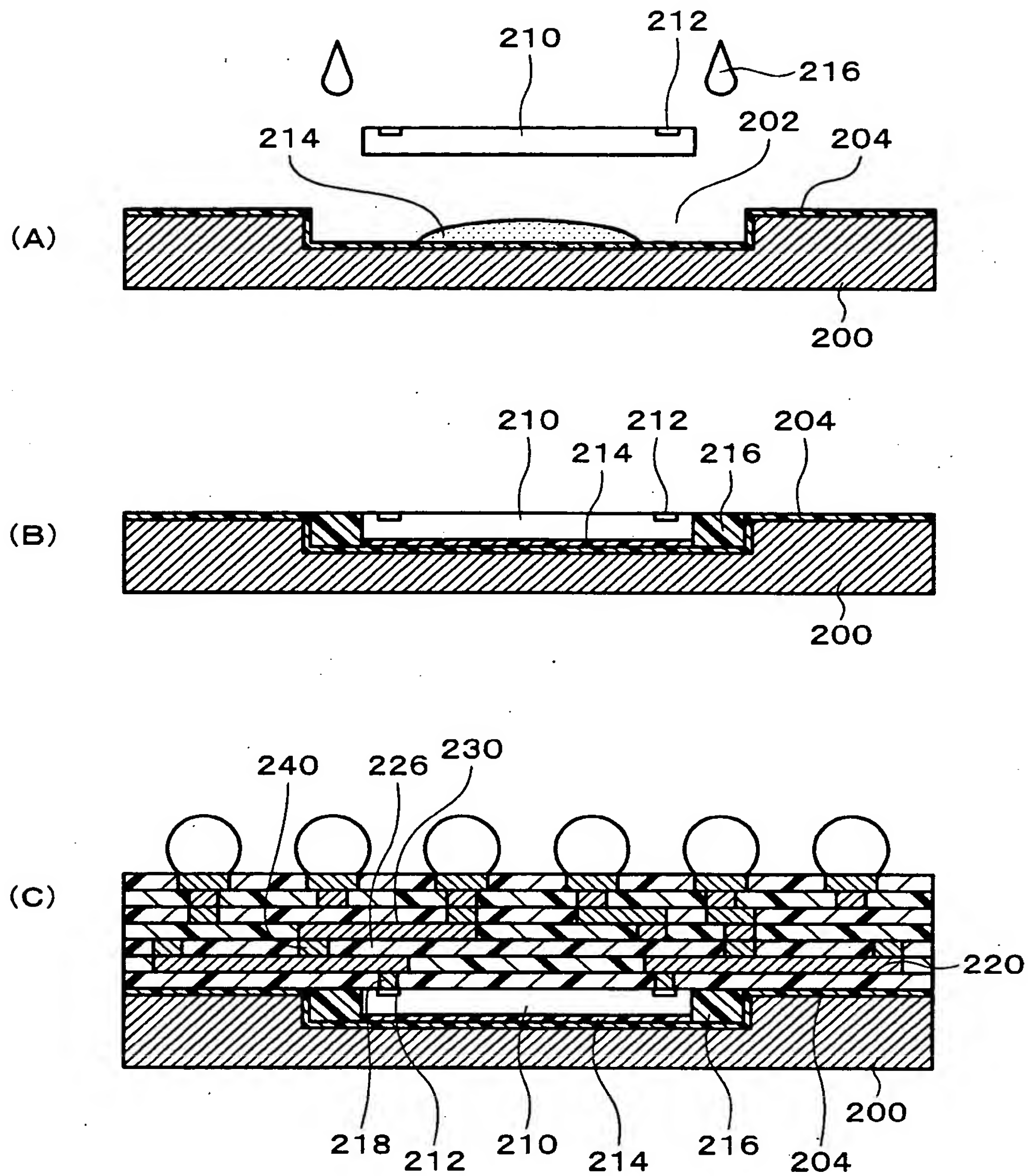
【図19】



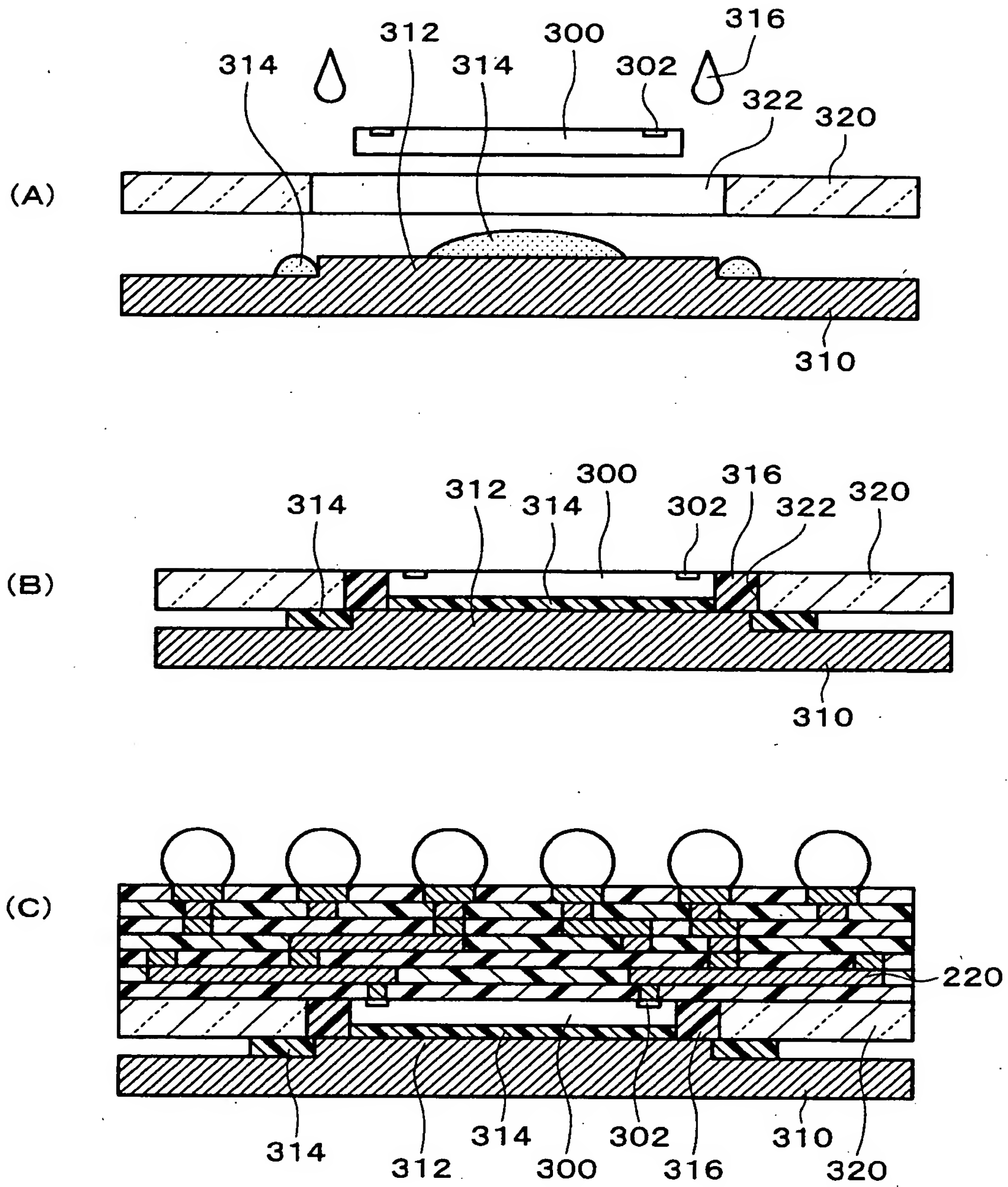
【図 2 0】



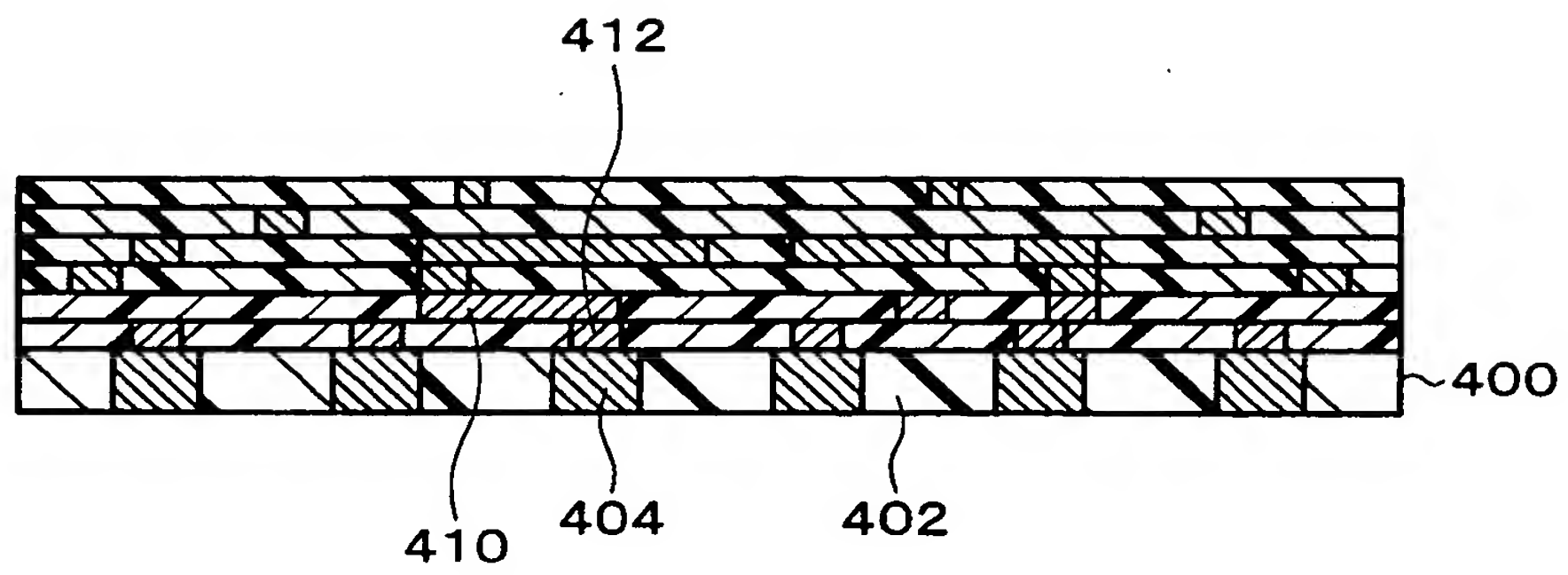
【図 2 1】



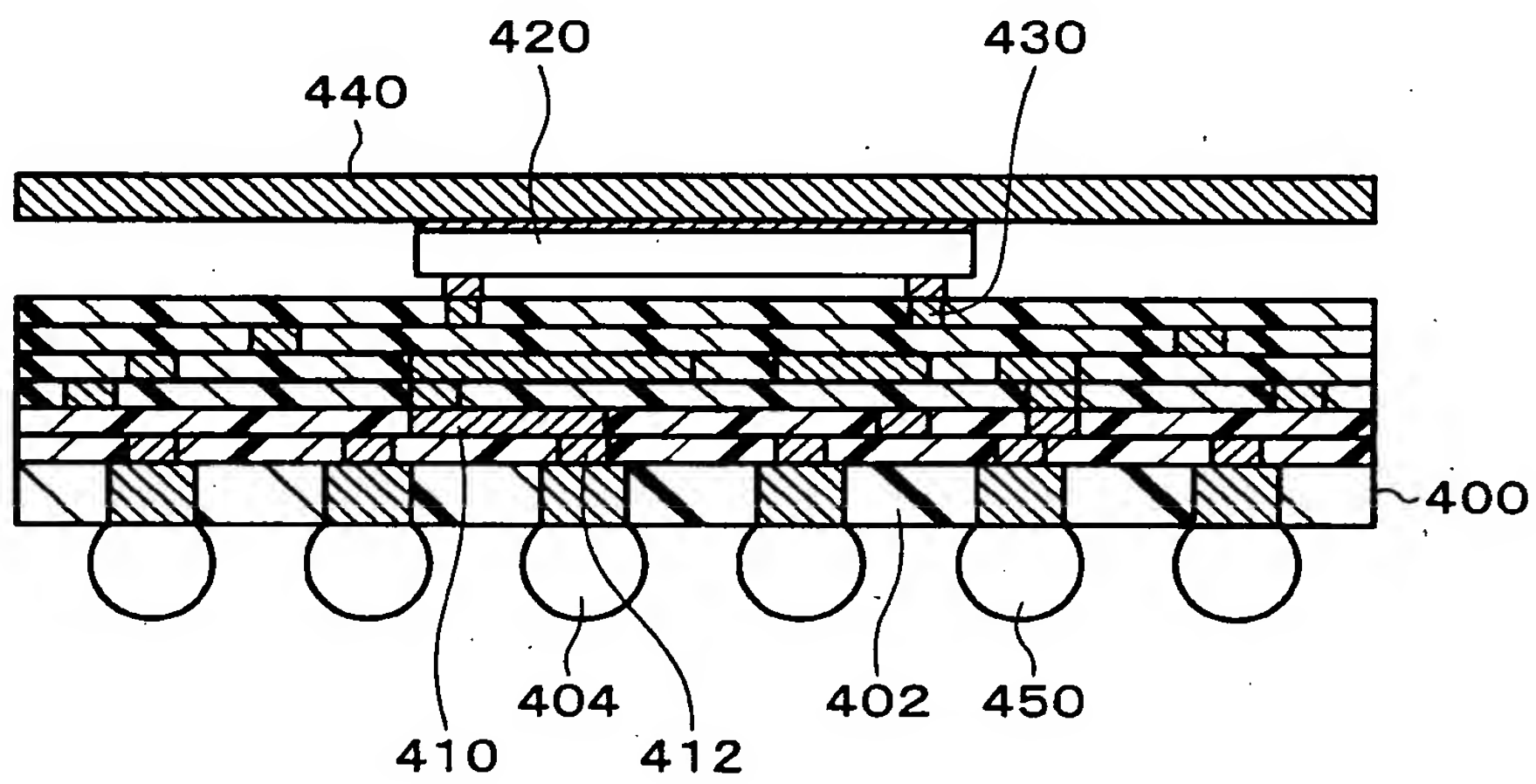
【図 2 2】



【図 2 3】

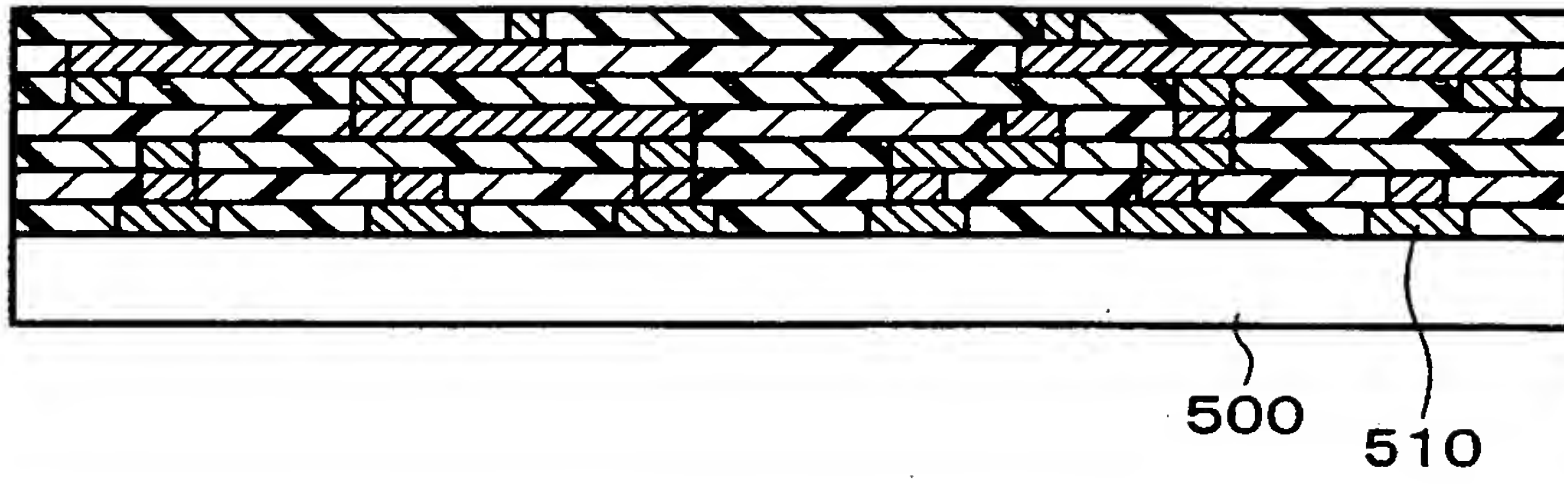


【図 2 4】

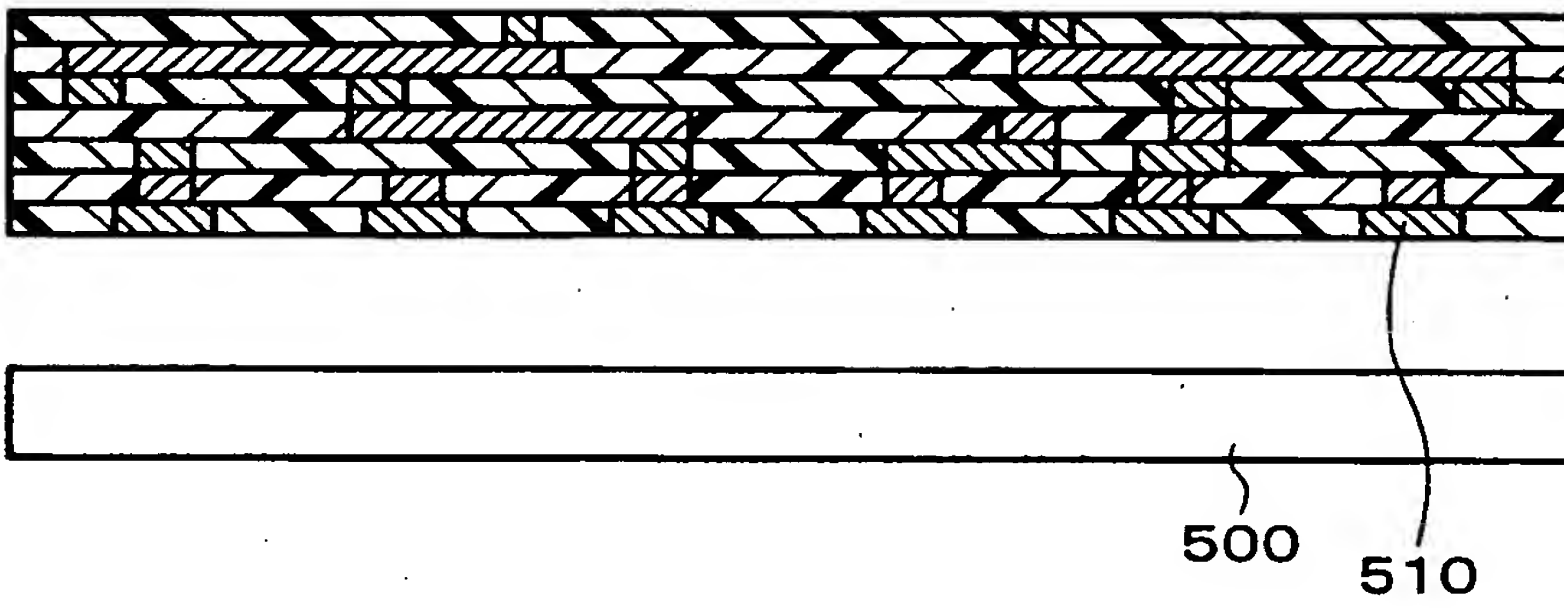


【図 2 5】

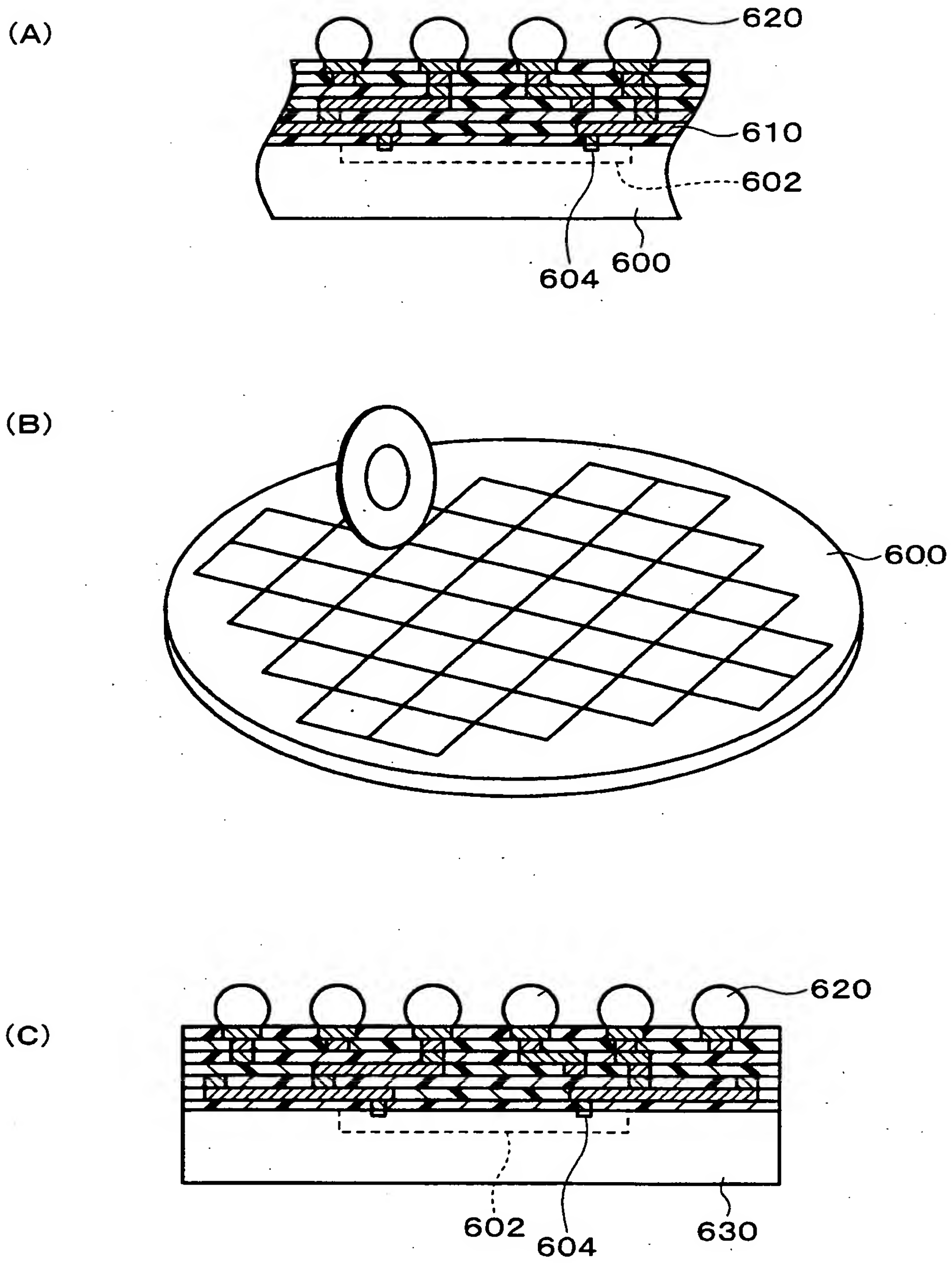
(A)



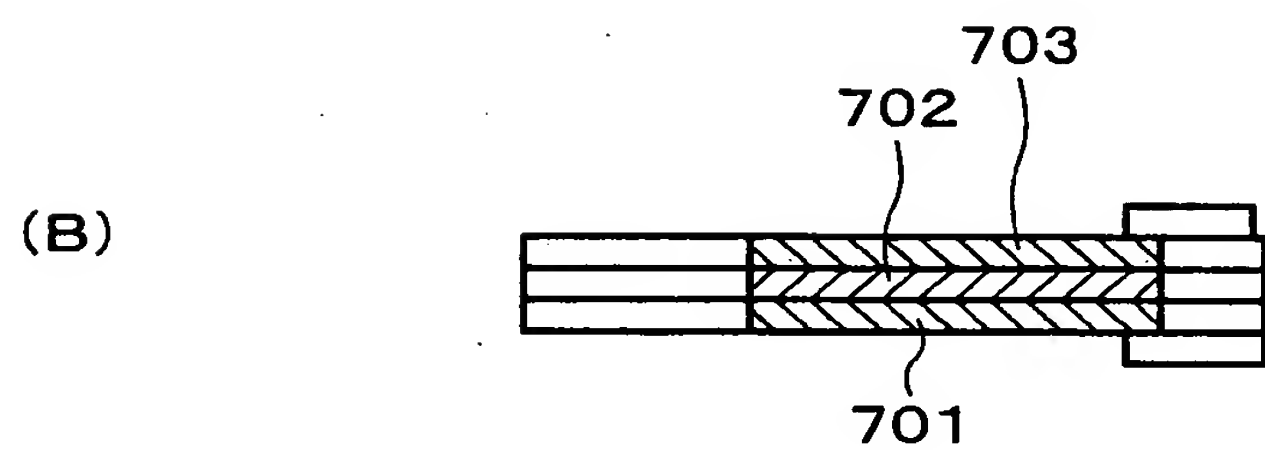
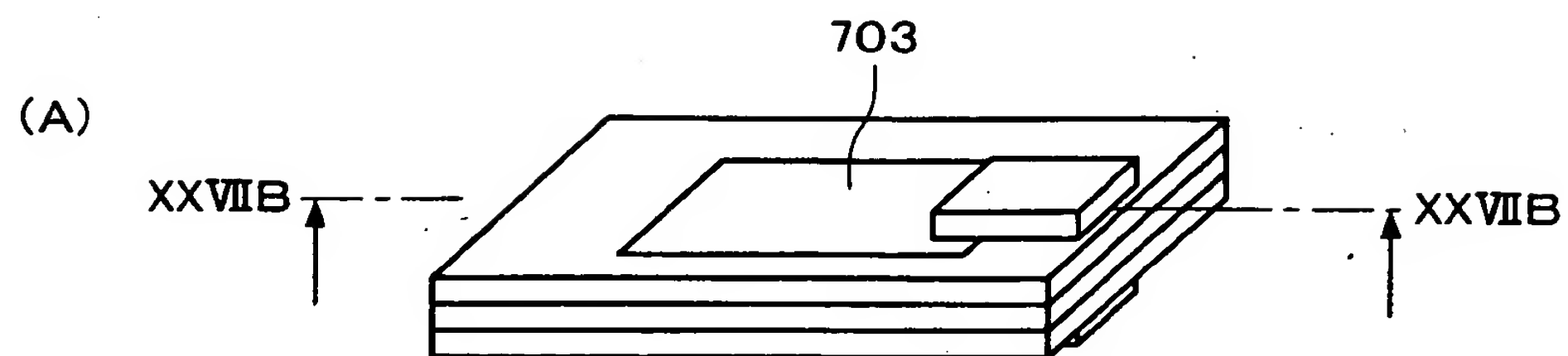
(B)



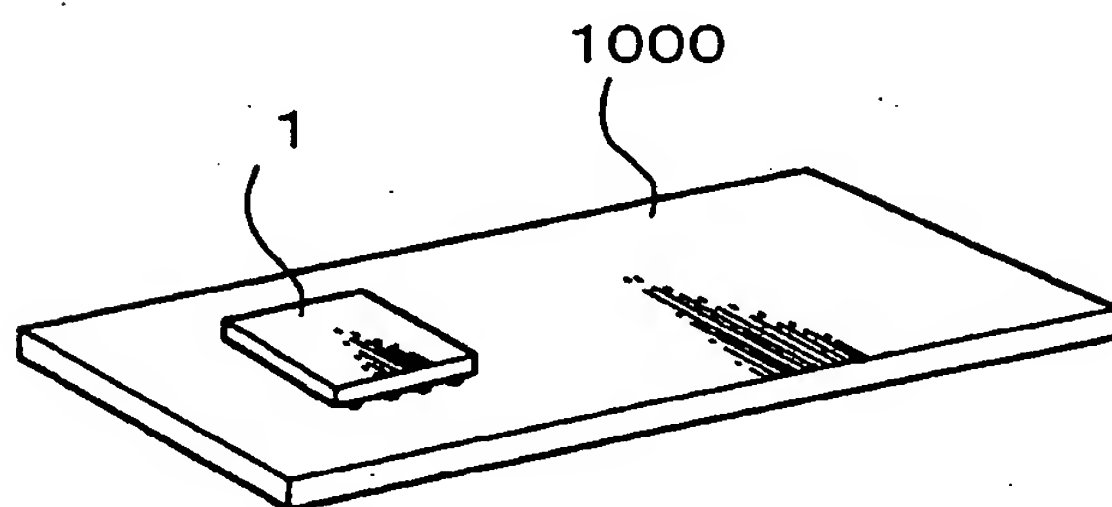
【図 2 6】



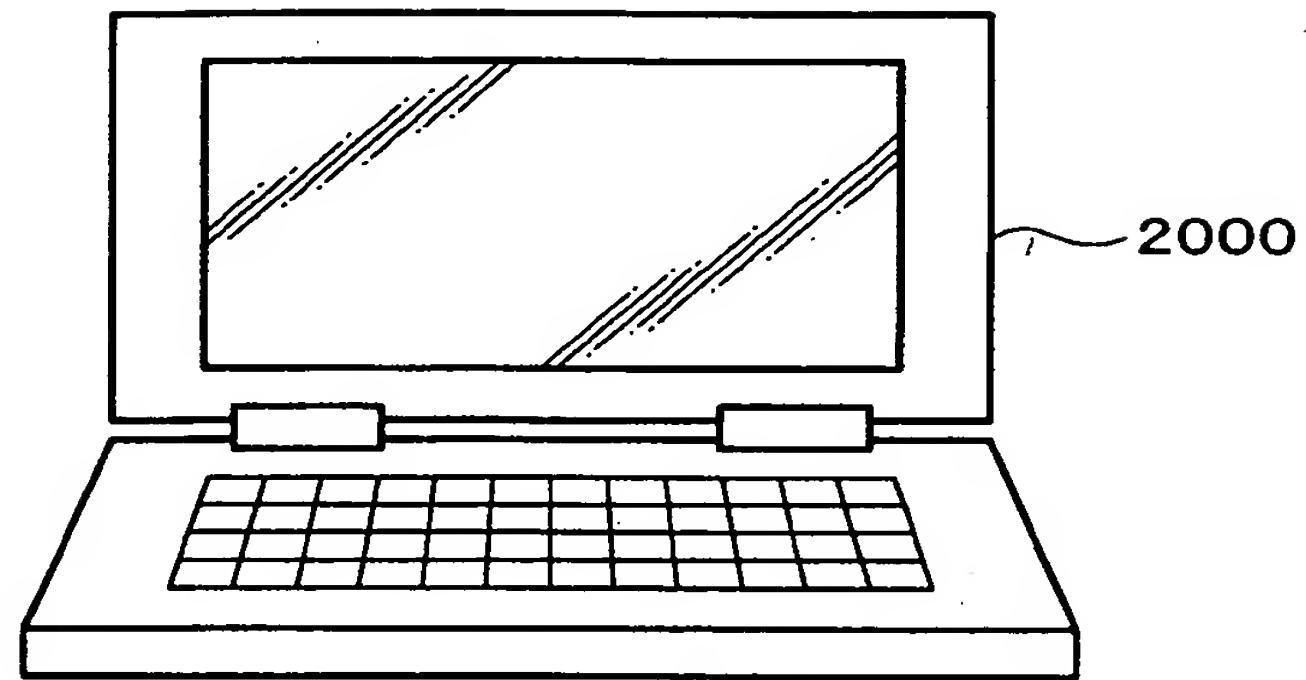
【図 2 7】



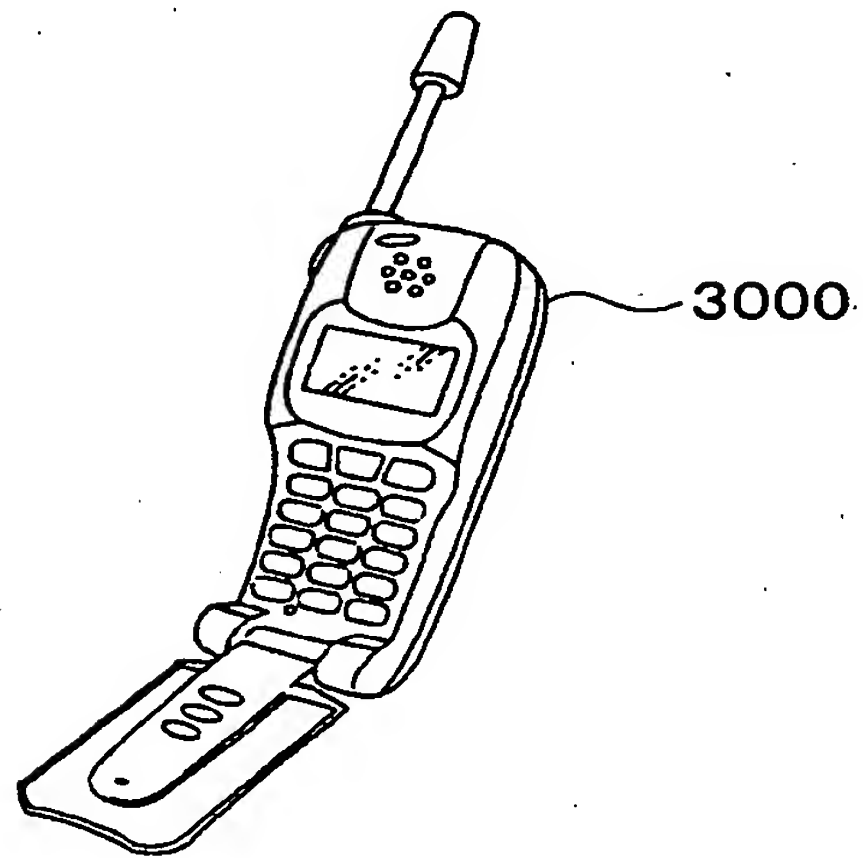
【図 2 8】



【図 2 9】



【図 3 0】



【書類名】 要約書

【要約】

【課題】 配線基板及び半導体装置並びにこれらの製造方法、回路基板並びに電子機器について、低コスト化、配線構造の高密度化、信頼性の向上、製造の自由度の向上を図ることにある。

【解決手段】 第 1 の導電層 2 0 を形成する。絶縁層 2 6 を、少なくともその一部が第 1 の導電層 2 0 上に配置されるように形成する。第 2 の導電層 4 0 を、少なくともその一部が第 1 の導電層 2 0 の上方であって絶縁層 2 6 上に配置されるように形成する。第 1 及び第 2 の導電層 2 0, 4 0 を、それぞれ導電性材料の微粒子を含む溶媒の液滴を吐出して形成する。絶縁層 2 6 を、絶縁性材料の微粒子を含む溶媒の液滴を吐出して形成する。

【選択図】 図 1 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名 セイコーエプソン株式会社